

УТВЕРЖДАЮ  
 Декан факультета

\_\_\_\_\_  
 (подпись)      Страхов С.Ю.  
 « \_\_\_\_ »      ФИО      20\_\_

## РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ НА ПЛИС

Направление/специальность подготовки	11.04.01 Радиотехника
Специализация/профиль/программа подготовки	Системы и устройства передачи, приема и обработки сигналов
Уровень высшего образования	Магистратура
Форма обучения	Очная
Факультет	И Информационных и управляющих систем
Выпускающая кафедра	И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ
Кафедра-разработчик рабочей программы	И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ

КУРС	СЕМЕСТР	ОБЩАЯ ТРУДОЁМКОСТЬ (ЗАЧЕТНЫХ ЕДИНИЦ)	ЧАСЫ (по наличию видов занятий)									ВИД ПРОМЕЖУТОЧНОГО КОНТРОЛЯ
			ОБЩАЯ ТРУДОЁМКОСТЬ	АУДИТОРНЫЕ ЗАНЯТИЯ				САМОСТОЯТЕЛЬНАЯ РАБОТА				
				ВСЕГО	ЛЕКЦИИ	ЛАБОРАТОРНЫЙ ПРАКТИКУМ	ПРАКТИЧЕСКИЕ ЗАНЯТИЯ	ВСЕГО	КУРСОВОЙ ПРОЕКТ	КУРСОВАЯ РАБОТА	ДРУГИЕ ВИДЫ САМОСТ. РАБОТЫ	
6	11	3	108	51	17	34	0	57	0	0	57	диф. зач.

*ЛИСТ СОГЛАСОВАНИЯ*

**РАБОЧАЯ ПРОГРАММА СОСТАВЛЕНА В СООТВЕТСТВИИ С ТРЕБОВАНИЯМИ ФЕДЕРАЛЬНОГО  
ГОСУДАРСТВЕННОГО ОБРАЗОВАТЕЛЬНОГО СТАНДАРТА ВЫСШЕГО ОБРАЗОВАНИЯ (ФГОС ВО)**

**11.04.01 Радиотехника**

год набора группы: 2025

Программу составил:

Кафедра И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ  
Колачев Игорь Олегович, ассистент

\_\_\_\_\_

Программа рассмотрена  
на заседании кафедры-разработчика  
рабочей программы **И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ**

Заведующий кафедрой Страхов С.Ю., д.т.н., проф.

\_\_\_\_\_

Программа рассмотрена  
на заседании выпускающей кафедры

**И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ**

Заведующий кафедрой Страхов С.Ю., д.т.н., проф.

\_\_\_\_\_

# **РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ**

## **ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ НА ПЛИС**

### **Разделы рабочей программы**

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ
2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ООП ВО
3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ
4. ФОРМЫ КОНТРОЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ
5. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ
6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

### **Приложения к рабочей программе дисциплины**

- Приложение 1. Аннотация рабочей программы
- Приложение 2. Технологии и формы обучения
- Приложение 3. Фонды оценочных средств

## 1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Целью освоения дисциплины является формирование следующих компетенций:

ПК-1.2 — Способен выполнять моделирование объектов и процессов с целью анализа и оптимизации их параметров с использованием имеющихся средств исследований, включая стандартные пакеты прикладных программ

ПК-1.6 — Способен анализировать состояние научно-технической проблемы путем подбора, изучения и анализа литературных и патентных источников

ПК-1.8 — Способен проектировать радиотехнические устройства, приборы, системы и комплексы с учетом заданных требований

Формированию компетенций служит достижение следующих результатов образования:

### **ПК-1.2**

*знания:*

Способы моделирования объектов и процессов с целью анализа с помощью известных средств исследования, в том числе программных сред;

*умения:*

Симуляция работы программируемых логических интегральных схем;

*навыки:*

Использование средств исследования и стандартных пакетов прикладных программ.

### **ПК-1.6**

*знания:*

Источники документации на ПЛИС и типовых блоков цифровых устройств;

*умения:*

Применение найденной информации при проектировании цифровых устройств на базе ПЛИС;

*навыки:*

Поиск и интеграция типовых блоков в проект цифрового устройства на базе ПЛИС.

### **ПК-1.8**

*знания:*

Процесс разработки цифрового устройства с применением современных средств проектирования;

*умения:*

Использовать современные средства проектирования цифровых устройств;

*навыки:*

Способен проектировать радиотехнические устройства, приборы, системы и комплексы с учетом заданных требований с применением современных средств проектирования.

## 2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ООП ВО

Дисциплина **ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ НА ПЛИС** является дисциплиной **части, формируемой участниками образовательных отношений блока 1**, программы подготовки по направлению *11.04.01 Радиотехника*.

Содержание дисциплины является логическим продолжением дисциплин: **ПРОЕКТИРОВАНИЕ РАДИОЭЛЕКТРОННЫХ СИСТЕМ**.

Содержание дисциплины является основой для освоения дисциплин: **ПРЕДДИПЛОМНАЯ ПРАКТИКА**.

Предварительные компетенции, сформированные у обучающегося до начала изучения дисциплины:

- ПК-1.6 — Способен анализировать состояние научно-технической проблемы путем подбора, изучения и анализа литературных и патентных источников
- ПК-1.7 — Способен определять цели, осуществлять постановку задач проектирования, подготавливать технические задания на выполнение проектных работ
- ПК-1.8 — Способен проектировать радиотехнические устройства, приборы, системы и комплексы с учетом заданных требований

### 3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

Общая трудоемкость дисциплины составляет 3 з.е., 108 ч.

#### 3.1. Содержание (дидактика) дисциплины

КУРС	СЕМЕСТР	Наименование разделов и дидактических единиц	ВСЕГО	Аудиторные занятия в контактной форме			Самостоятельная работа студентов	Формируемая компетенция, %		
				ВСЕГО	Лекции	Лабораторный практикум		ПК-1.2	ПК-1.6	ПК-1.8
6	11	Раздел 1. Введение. Основы архитектуры ПЛИС. История ПЛИС. Основные сведения об архитектуре ПЛИС. Основные блоки ПЛИС. Основные типы ПЛИС. Ведущие производители ПЛИС. Обзор актуальных ПЛИС. Обзор систем автоматизированного проектирования для создания устройств и систем на ПЛИС. Обзор языков описания аппаратуры (HDL). Этапы разработки устройств и систем на ПЛИС.	11	2	2	0	9	17	25	17
6	11	Раздел 2. Основы языка описания аппаратуры Verilog. Синтезируемые и несинтезируемые конструкции. Примитивы. Модули. Порты. Типы данных. Непрерывное присваивание. Операторы. Представление чисел. Тестирующие модули (тестбенчи). Конструкции языка, используемые для симуляции.	18	9	3	6	9	16	25	16
6	11	Раздел 3. Комбинационные устройства. Процедурные блоки. Блокирующее присваивание. Конструкции условного и множественного выбора. Синтезируемые циклы. Шифраторы. Дешифраторы. Преобразователи кодов. Мультиплексоры. Демультимплексоры. Арифметико-логические устройства (АЛУ). Параметризованные модули.	18	9	2	7	9	16	0	16
6	11	Раздел 4. Последовательностные устройства. Неблокирующее присваивание. Триггеры. Регистры. Сдвиговые регистры. Счётчики. Элементы памяти. Регистровый файл. Постоянные запоминающие устройства (ПЗУ). Оперативные запоминающие устройства. Стек. Очередь. Конвейерная обработка. Использование IP-ядер.	21	11	4	7	10	16	25	16
6	11	Раздел 5. Конечные автоматы. Основные идеи конечных автоматов. Конечный автомат Мура. Конечный автомат Мили. Способы представления конечных автоматов. Этапы проектирования конечных автоматов. Методы описания конечных автоматов. Конечные автоматы с трактом обработки данных. Реализация алгоритмов вычислений с помощью конечных автоматов.	21	11	4	7	10	16	0	16
6	11	Раздел 6. Использование процессорного модуля. Программные и аппаратные микропроцессорные модули. Основные сведение о softпроцессоре Nios II. Создание микропроцессорных систем на ПЛИС. Шина Avalon. Стандартные интерфейсы взаимодействия блоков в микропроцессорной системе. Использование блоков параллельного ввода-вывода (PIO). Создание и использование пользовательских блоков. Программирование процессорного модуля на языке C.	19	9	2	7	10	19	25	19
Всего за 11 семестр			108	51	17	34	57	100	100	100
Всего по дисциплине			108	51	17	34	57	100	100	100

#### 3.2. Лабораторный практикум

№ п/п	Номер и наименование раздела дисциплины	Тема лабораторного практикума	Объем, ауд. часов
1	Раздел 2. Основы языка описания аппаратуры Verilog.	Знакомство с САПР Quartus. Проектирование и моделирование простейшего комбинационного устройства.	6
2	Раздел 3. Комбинационные устройства.	Разработка параметризованного комбинационного устройства.	7
3	Раздел 4. Последовательностные устройства.	Проектирование простейшего цифрового генератора сигналов.	7
4	Раздел 5. Конечные автоматы.	Проектирование цифрового устройства на основе конечного автомата.	7
5	Раздел 6. Использование процессорного модуля.	Проектирование цифрового устройства на основе процессорного модуля.	7
<b>Всего за 11 семестр</b>			34

#### 3.3. Самостоятельная работа студента (СРС)

№	Номер и	Содержание учебного задания	Объем,
---	---------	-----------------------------	--------

п/п	наименование раздела дисциплины		часов
1	Раздел 1. Введение. Основы архитектуры ПЛИС.	Изучение особенностей дисциплины, знакомство с рекомендуемой литературой.	9
2	Раздел 2. Основы языка описания аппаратуры Verilog.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	9
3	Раздел 3. Комбинационные устройства.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	9
4	Раздел 4. Последовательностные устройства.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	10
5	Раздел 5. Конечные автоматы.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	10
6	Раздел 6. Использование процессорного модуля.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	10
<b>Всего за 11 семестр</b>			<b>57</b>

#### 4. ФОРМЫ КОНТРОЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ

СЕМЕСТР	НЕДЕЛИ СЕМЕСТРА																
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
<b>11</b>				ЛР		ДР	ЛР		ЛР	ДР		ЛР		ЛР		ДР	Вопр.Диф.Зач, диф. зач.

Условные обозначения:

- ДР – диагностическая работа;
- ЛР – лабораторная работа;
- Вопр.Диф.Зач – вопросы к дифференцированному зачету;
- диф. зач. – дифференцированный зачет.

**Текущий контроль успеваемости** студентов проводится в дискретные временные интервалы в следующих формах:

- диагностическая работа;
- лабораторная работа;
- вопросы к дифференцированному зачету.

**Промежуточная аттестация** проводится в формах:

- дифференцированный зачет.

## 5. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

### 5.1. Основная литература по дисциплине:

1. А. К. Нарышкин. . Цифровые устройства и микропроцессоры. М.: Академия, 2008, 200 экз.
2. А. М. Сажнев. . Цифровые устройства и микропроцессоры. Москва: Юрайт, 2020, эл. рес.
3. А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog. Санкт-Петербург: Лань, 2022, эл. рес.
4. Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера. Waltham: Morgan Kaufman, 2013, эл. рес.
5. К. Максфилд. . Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца. М.: ДОДЭКА-XXI, 2007, эл. рес.
6. О. Н. Музыченко. . Методы синтеза конечных автоматов. СПб.БГТУ "ВОЕНМЕХ" им. Д. Ф. Устинова, 2012, эл. рес.

### 5.2. Дополнительная литература по дисциплине:

не требуется.

### 5.3. Периодические издания:

не требуются.

### 5.4. Перечень ресурсов информационно-телекоммуникационной сети "Интернет", необходимых для освоения дисциплины, электронные библиотечные системы:

1. <http://library.voenmeh.ru> — Фундаментальная библиотека БГТУ «ВОЕНМЕХ» им. Д.Ф. Устинова;
2. <http://e.lanbook.com> — ЭБС Лань;
3. <http://urait.ru> — Образовательная платформа «Юрайт». Для вузов и ссузов.;
4. <https://marsohod.org/> — FPGA блог: опыт, отладка, программирование на Verilog;
5. <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&No=836> — Terasic - SoC Platform - Cyclone - DE1-SoC Board;
6. <https://e.lanbook.com/book/322511> — ЭБС Лань;
7. <https://kit-e.ru/kratkij-kurs/> — Краткий курс HDL. Язык Verilog;
8. <https://ibooks.ru/bookshelf/372099> — Читальный зал - ЭБС Айбукс.ру;
9. <https://ibooks.ru/products/372099> — Цифровой синтез: практический курс Романов А. Ю., Панчул Ю. В., ред. ISBN 978-5-97060-850-0 - ЭБС Айбукс.ру;
10. <https://ibooks.ru/products/392124> — Проектирование встраиваемых систем на ПЛИС / пер. с англ. В. В. Соловьева — 2-е изд., эл. Наваби Заиналабедин ISBN 978-5-89818-425-4 - ЭБС Айбукс.ру.

### Современные профессиональные базы данных:

1. <https://rusneb.ru> – Национальная электронная библиотека (НЭБ);
2. <https://cyberleninka.ru/> - Научная электронная библиотека «Киберленинка»;  
<http://www.rfbr.ru/rffi/ru/library> - Полнотекстовая электронная библиотека Российского фонда фундаментальных исследований.

### Информационные справочные системы:

1. Техэксперт – Информационный портал технического регулирования: Нормы, правила, стандарты РФ;
2. [http://library.voenmeh.ru/jirbis2/index.php?option=com\\_irbis&view=irbis&Itemid=457](http://library.voenmeh.ru/jirbis2/index.php?option=com_irbis&view=irbis&Itemid=457) - БД ГОСТов собственной генерации БГТУ "ВОЕНМЕХ" им. Д. Ф. Устинова;
3. <http://www.consultant.ru/> - КонсультантПлюс- информационный портал правовой информации.

### 5.5. Программное обеспечение:

1. Quartus II;
2. Quartus 14 Lite edition.

### 5.6. Информационные технологии:

взаимодействие с обучающимися посредством ЭИОС Moodle БГТУ «ВОЕНМЕХ» им. Д.Ф. Устинова.



## **6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ**

### **6.1. Лекционные занятия:**

специализированные требования по оборудованию отсутствуют; аудитория с посадочными местами по количеству студентов; доска.

### **6.2. Лабораторные занятия:**

1. Проектор;
2. Плата: DE1-SOC;
3. Quartus II;
4. Quartus 14 Lite edition.

### **6.3. Прочее:**

1. рабочее место преподавателя, оснащенное компьютером с доступом в Интернет;
2. рабочие места студентов, оснащенные компьютерами с доступом в Интернет, предназначенные для работы в электронной образовательной среде.

### Аннотация рабочей программы

Дисциплина **ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ НА ПЛИС** является дисциплиной **части, формируемой участниками образовательных отношений блока 1**, программы подготовки по направлению *11.04.01 Радиотехника*. Дисциплина реализуется на факультете *И Информационных и управляющих систем* БГТУ "ВОЕНМЕХ" им. Д.Ф. Устинова кафедрой *И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ*.

Дисциплина нацелена на формирование *компетенций*:

ПК-1.2 Способен выполнять моделирование объектов и процессов с целью анализа и оптимизации их параметров с использованием имеющихся средств исследований, включая стандартные пакеты прикладных программ;

ПК-1.6 Способен анализировать состояние научно-технической проблемы путем подбора, изучения и анализа литературных и патентных источников;

ПК-1.8 Способен проектировать радиотехнические устройства, приборы, системы и комплексы с учетом заданных требований.

Содержание дисциплины охватывает круг вопросов, связанных с проектированием цифровых систем на современных программируемых логических интегральных схемах с использованием языка описания аппаратуры Verilog.

Программой дисциплины предусмотрены следующие **виды контроля**:

**Текущий контроль успеваемости** студентов проводится в дискретные временные интервалы в следующих формах:

- диагностическая работа;
- лабораторная работа;
- вопросы к дифференцированному зачету.

**Промежуточная аттестация** проводится в формах:

- дифференцированный зачет.

Общая трудоемкость освоения дисциплины составляет **3 з.е., 108 ч**. Программой дисциплины предусмотрены лекционные занятия (**17 ч.**), лабораторный практикум (**34 ч.**), самостоятельная работа студента (**57 ч.**).

## ТЕХНОЛОГИИ И ФОРМЫ ОБУЧЕНИЯ

### Рекомендации по освоению дисциплины для студента

Трудоемкость освоения дисциплины составляет 108 ч., из них 51 ч. аудиторных занятий, и 57 ч., отведенных на самостоятельную работу студента.

Рекомендации по распределению учебного времени по видам самостоятельной работы и разделам дисциплины приведены в таблице.

Контроль освоения дисциплины производится в соответствии с Положением о текущем, рубежном контроле успеваемости и промежуточной аттестации обучающихся.

Формы контроля и критерии оценивания приведены в приложении 3 к Рабочей программе.

Наименование работы	Рекомендуемая литература	Трудоемкость, час.
<b>Раздел 1. Введение. Основы архитектуры ПЛИС.</b>		
Изучение особенностей дисциплины, знакомство с рекомендуемой литературой.	К. Максфилд. . Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца: М.: ДОДЭКА-XXI, 2007 (2-6)	9
Итого по разделу 1		9
<b>Раздел 2. Основы языка описания аппаратуры Verilog.</b>		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (1) К. Максфилд. . Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца: М.: ДОДЭКА-XXI, 2007 (9, 19) Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера: Waltham: Morgan Kaufman, 2013 (4-5)	9
Итого по разделу 2		9
<b>Раздел 3. Комбинационные устройства.</b>		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	А. М. Сажнев. . Цифровые устройства и микропроцессоры: Москва: Юрайт, 2020 (1-3) А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (2) Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера: Waltham: Morgan Kaufman, 2013 (2, 4-5) А. К. Нарышкин. . Цифровые устройства и микропроцессоры: М.: Академия, 2008 (6-12)	9
Итого по разделу 3		9
<b>Раздел 4. Последовательностные устройства.</b>		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из	А. М. Сажнев. . Цифровые устройства и микропроцессоры:	10

библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	Москва: Юрайт, 2020 (4) А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (2) Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера: Waltham: Morgan Kaufman, 2013 (5) А. К. Нарышкин. . Цифровые устройства и микропроцессоры: М.: Академия, 2008 (13-16)	
Итого по разделу 4		10
<b>Раздел 5. Конечные автоматы.</b>		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера: Waltham: Morgan Kaufman, 2013 (3) А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (4) О. Н. Музыченко. . Методы синтеза конечных автоматов: СПб.БГТУ "ВОЕНМЕХ" им. Д. Ф. Устинова, 2012 (1-4)	10
Итого по разделу 5		10
<b>Раздел 6. Использование процессорного модуля.</b>		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (7) К. Максфилд. . Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца: М.: ДОДЭКА-XXI, 2007 (13)	10
Итого по разделу 6		10

## ФОНД ОЦЕНОЧНЫХ СРЕДСТВ

Фонд оценочных средств, позволяющие оценить результаты обучения по данной дисциплине, включают в себя:

- диагностическая работа
- вопросы к дифференцированному зачету;
- лабораторная работа;
- дифференцированный зачет.

### Критерии оценивания

#### Диагностическая работа

Диагностическая работа проводится в форме теста в ЭИОС Moodle:

- при правильном ответе менее чем на 60% вопросов - не аттестация;
- при правильном ответе на 60% вопросов и более - аттестация.

#### Вопросы к дифференцированному зачету

1. Программируемые логические устройства: PROM и PLA.
2. Программируемые логические устройств: PAL и GAL.
3. Типы ПЛИС.
4. Основные блоки ПЛИС.
5. Логическая ячейка ПЛИС.
6. Организация логических ячеек в ПЛИС.
7. Крупные производители ПЛИС. Современные серии ПЛИС.
8. Языки проектирования устройств на ПЛИС.
9. Синтезируемые и несинтезируемые конструкции языков описания аппаратуры.
10. Модули и примитивы языка Verilog.
11. Пользовательские примитивы языка Verilog.
12. Встроенные примитивы языка Verilog.
13. Общий шаблон синтезируемого модуля языка Verilog.
14. Порты модулей.
15. Типы данных языка Verilog: wire и reg.
16. Проводники и шины в языке Verilog.
17. Непрерывное присваивание в языке Verilog.
18. Блокирующее присваивание в языке Verilog.
19. Неблокирующее присваивание в языке Verilog.
20. Числа в языке Verilog.
21. Основные операторы языка Verilog.
22. Процедурный блок initial языка Verilog.
23. Процедурный блок always языка Verilog.
24. Общий шаблон тестирующего модуля языка Verilog.
25. Масштаб времени и операторы временной задержки языка Verilog.
26. Системные функции языка Verilog.
27. Условные операторы языка Verilog.
28. Оператор множественного выбора языка Verilog.
29. Операторы циклов языка Verilog.
30. Параметры в языке Verilog.
31. Мультиплексоры и демультиплексоры.
32. Шифраторы и дешифраторы.
33. Арифметико-логические устройства.
34. Триггеры и защёлки
35. Типы триггеров.
36. Регистры. Регистровый файл.
37. Сдвиговые регистры.
38. Счётчики.
39. Генератор ШИМ сигнала. Делители частоты.
40. Типы блоков памяти.
41. Блоки памяти ПЛИС.

42. Блоки интеллектуальной собственности.
43. Стек. Очередь.
44. Способы аппаратного решения сложных вычислительных задач.
45. Конвейеризация.
46. Структурная модель конечного автомата.
47. Конечные автоматы и вычислительные машины.
48. Конечные автоматы Мура и Мили.
49. Классы конечных автоматов.
50. Способы представления конечных автоматов.
51. Граф конечного автомата.
52. Таблица переходов и выходов конечного автомата.
53. Списки переходов конечного автомата. Структурные списки переходов конечного автомата.
54. Граф схемы алгоритма функционирования конечного автомата.
55. Конечные автоматы с трактом обработки данных.
56. Стили описания конечных автоматов на языке Verilog.
57. Общий шаблон описания конечного автомата на языке Verilog.
58. Софт-процессоры ПЛИС.
59. Встроенные процессорные ядра ПЛИС.
60. Стандартные внутрисистемные интерфейсы.

### **Лабораторная работа**

После выполнения лабораторной работы и принятия её результатов преподавателем магистрант подготавливает отчёт и сдаёт его преподавателю. Отчёт должен включать все элементы, указанные в методических указаниях к лабораторной работе. При оформлении отчёта магистрант обязан соблюдать требования ГОСТ 7.32-2017, а также внутренних нормативных документов университета, регламентирующих правила оформления учебных работ.

### **Дифференцированный зачет**

Дифференцированный зачёт сдаётся при условии полного выполнения графика контрольных мероприятий. На дифференцированном зачёте магистранту задают три вопроса из утверждённого перечня.

Критерии оценки:

«Отлично» – магистрант демонстрирует глубокое понимание материала, уверенно отвечает на все вопросы.

«Хорошо» – магистрант разбирается в материале, но допускает незначительные неточности.

«Удовлетворительно» – магистрант способен ответить только на базовые вопросы.

«Неудовлетворительно» – магистрант не владеет материалом и не может дать правильные ответы.

Паспорт фонда оценочных средств

КУРС	СЕМЕСТР	Наименование разделов и дидактических единиц	ВСЕГО	Аудиторные занятия в контактной форме			Самостоятельная работа студентов	Формируемая компетенция, %			НАИМЕНОВАНИЕ ОЦЕНОЧНОГО СРЕДСТВА
				ВСЕГО	Лекции	Лабораторный практикум		ПК-1.2	ПК-1.6	ПК-1.8	
6	11	Раздел 1. Введение. Основы архитектуры ПЛИС.	11	2	2	0	9	17	25	17	Вопросы к дифференцированному зачету
6	11	Раздел 2. Основы языка описания аппаратуры Verilog.	18	9	3	6	9	16	25	16	Лабораторная работа
6	11	Раздел 3. Комбинационные устройства.	18	9	2	7	9	16	0	16	Лабораторная работа
6	11	Раздел 4. Последовательностные устройства.	21	11	4	7	10	16	25	16	Лабораторная работа
6	11	Раздел 5. Конечные автоматы.	21	11	4	7	10	16	0	16	Лабораторная работа
6	11	Раздел 6. Использование процессорного модуля.	19	9	2	7	10	19	25	19	Лабораторная работа
Всего за 11 семестр			108	51	17	34	57	100	100	100	
Всего по дисциплине			108	51	17	34	57	100	100	100	

## Оценочные материалы по дисциплине ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ НА ПЛИС

**ПК-1.2 - Способен выполнять моделирование объектов и процессов с целью анализа и оптимизации их параметров с использованием имеющихся средств исследований, включая стандартные пакеты прикладных программ**

№ 1 Прочитайте текст и установите соответствие

Перед Вами приведены описание некоторых системных функций языка Verilog и их названия. Зная описание системной функции установите её название. К каждой позиции, данной в левом столбце, подберите соответствующую позицию из правого столбца.

Описание	Название
1. Приостановка процесса моделирования до его возобновления пользователем	A. \$stop
2. Текущее время моделирования в виде 64-х разрядного числа	Б. \$finish
3. Однократный вывод в консоль	В. \$time
4. Инициализация блока памяти данными из текстового файла, в котором слова указаны в шестнадцатеричной системе счисления	Г. \$realtime
	Д. \$display
	Е. \$monitor
	Ж. \$readmemh
	З. \$readmemb

№ 2 Прочитайте текст и запишите развернутый обоснованный ответ

Используя приведённый ниже шаблон тестирующего модуля, задать сигнал clk как тактовый. Его начальное значение должно быть равно 0, коэффициент заполнения - 50%, а период следования - 2 нс.

```
`timescale 1ns/1ns

module test;

reg clk;

//Пользовательский код

endmodule
```

№ 3 Прочитайте текст и запишите развернутый обоснованный ответ

Используя приведённый ниже шаблон тестирующего модуля, установите на шине data 16 случайных значений в диапазоне от 1 до 365. Каждое значение должно оставаться неизменным в течение 10 нс.

```
`timescale 1ns/1ns
```



endmodule

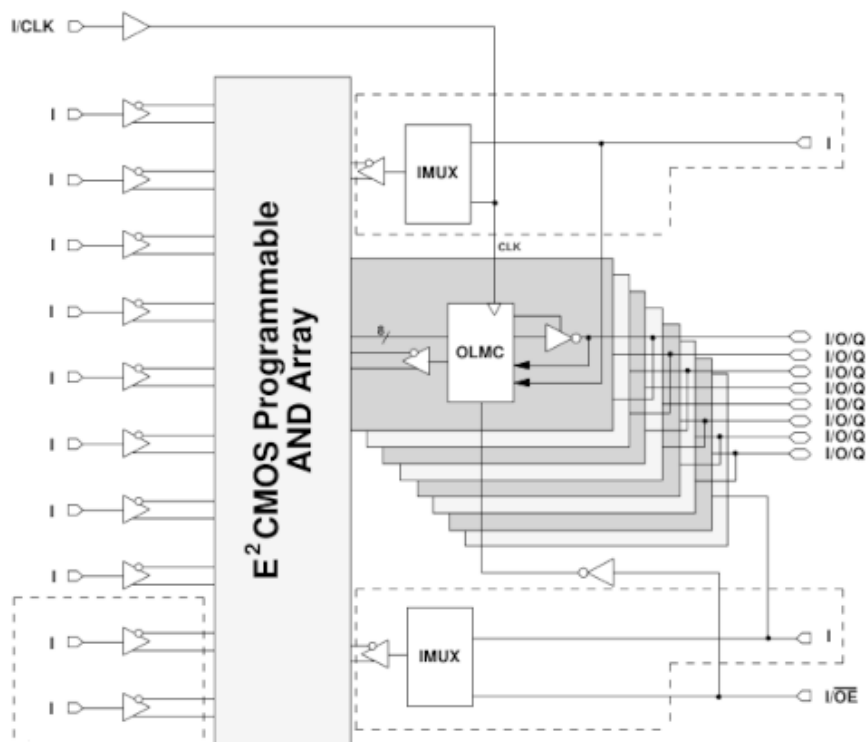
Перед Вами приведены названия примитивов в языке Verilog и реализуемые ими логические функции. Установите какие логические функции реализует каждый из примитивов. К каждой позиции, данной в левом столбце, подберите соответствующую позицию из правого столбца.

1. and      А. И  
2. nand    Б. ИЛИ  
3. or       В. НЕ  
4. xor      Г. И-НЕ  
             Д. Исключающее ИЛИ  
             Е. ИЛИ-НЕ  
             Ж. И-НЕ

Как на языке Verilog записать число 17, используя двоичную систему счисления и 5 разрядов.

1. 16'd42
2. 5'b10001
3. 4'b1110
4. 10'b1001

Структура программируемого логического устройства какой архитектуры приведено на рисунке?



- ## 1. GAL

2. PLA

3. PAL

4. CPLD

№ 7 Прочитайте текст и установите последовательность

Расположите операторы языка Verilog по приоритету. Первым должен идти оператор с наивысшим приоритетом, а последним - с наименьшим. В ответ укажите только цифры.

1. |

2. ?:

3. ==

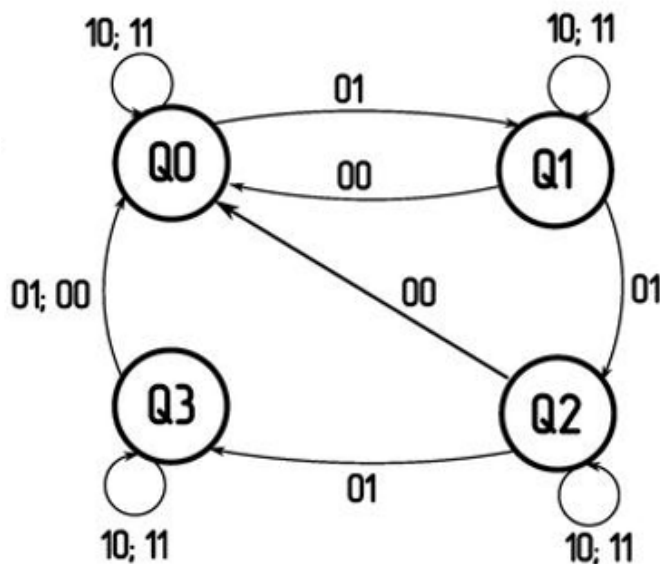
4. &

5. <

6. +

№ 8 Прочитайте текст и установите последовательность

На рисунке ниже приведён граф конечного автомата и значения входных сигналов в моменты синхронизации. Определите последовательность состояний конечного автомата, если начальное его состояние - Q0. В ответе укажите их номера, например 01230123, начиная с начального состояния.



Сигналы, подаваемые на вход конечного автомата

01                  00

01 01 00 01 01 01

№ 9 Прочитайте текст, выберите правильные ответы и запишите аргументы, обосновывающие выбор ответов

Какие из приведённых примитивов языка Verilog не являются синтезируемыми?

1.nmos

2.bufif1

3.not

4.pmos

№ 10 Прочитайте текст, выберите правильные ответы и запишите аргументы, обосновывающие выбор ответов

Какие из перечисленных устройств относятся к ПЛИС?

1. GAL
2. CPLD
3. PAL
4. FPGA

№ 11 Прочитайте текст, выберите правильные ответы и запишите аргументы, обосновывающие выбор ответов

Какие из приведённых системных функций являются синтезируемыми?

1. \$readmemh
2. \$random
3. \$realtobits
4. \$readmemb

№ 12 Прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа

Какой функциональный блок реализует модуль, код которого на языке Verilog приведён ниже?

```
module schem(
    input [3:0] x0,
    input x1,
    output [3:0] y0, y1
);
    assign y0 = !x1 ? x0 : 4'b0;
    assign y1 = x1 ? x0 : 4'b0;
endmodule
```

1. Дешифратор
2. Мультиплексор
3. Шифратор
4. Демультимплексор

**ПК-1.6 - Способен анализировать состояние научно-технической проблемы путем подбора, изучения и анализа литературных и патентных источников**

№ 1 Прочитайте текст, выберите правильные ответы и запишите аргументы, обосновывающие выбор ответов

В каких системах счисления можно указывать числа в языке Verilog?

1. двоичной
2. восьмеричной
3. десятичной
4. шестнадцатеричной

№ 2 Прочитайте текст и запишите развернутый обоснованный ответ

Используя приведённый шаблон модуля, реализовать с помощью оператора множественного выбора четырёхвыходной однобитный демультимплексор. Когда адресный вход sel=0, вход x

должен быть подключён к выходу y0, когда sel=1 вход подключается к выходу y1 и так далее. На неиспользованных выходах должно быть установлено значение 0.

```
module testquestion(
    input [1:0] sel,
    input x,
    output reg y0, y1, y2, y3
);
//пользовательский код
endmodule
```

№ 3 Прочитайте текст и запишите развернутый обоснованный ответ

Используя приведённый шаблон модуля, реализовать с помощью тернарного оператора двухвходовой однобитный мультиплексор. Когда адресный вход sel=0, к выходу должен быть подключён вход d0, в противном случае – d1.

```
module testquestion(
    input d0, d1, sel,
    output y
);
//пользовательский код
endmodule
```

№ 4 Прочитайте текст, выберите правильные ответы и запишите аргументы, обосновывающие выбор ответов

Какие из приведённых типов данных в языке Verilog не являются синтезируемыми?

1. reg
2. real
3. wire
4. realtime

№ 5 Прочитайте текст и установите соответствие

Перед Вами приведены обозначения состояний сигналов в языке Verilog и их описания. Установите какое описание соответствует обозначению. К каждой позиции, данной в левом столбце, подберите соответствующую позицию из правого столбца.

Обозначение	Описание
1. 0	А. высокий уровень
2. 1	Б. низкий уровень
3. x	В. высокоимпедансное состояние
4. z	Г. третье (неопределённое) состояние

№ 6 Прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа

На каком из рисунков показана RTL схема модуля, код которого на языке Verilog приведён ниже?

```
module testquestion(
    input clk, nrst,
```

```

output reg [1:0] y

);

always @(posedge clk or negedge nrst) begin

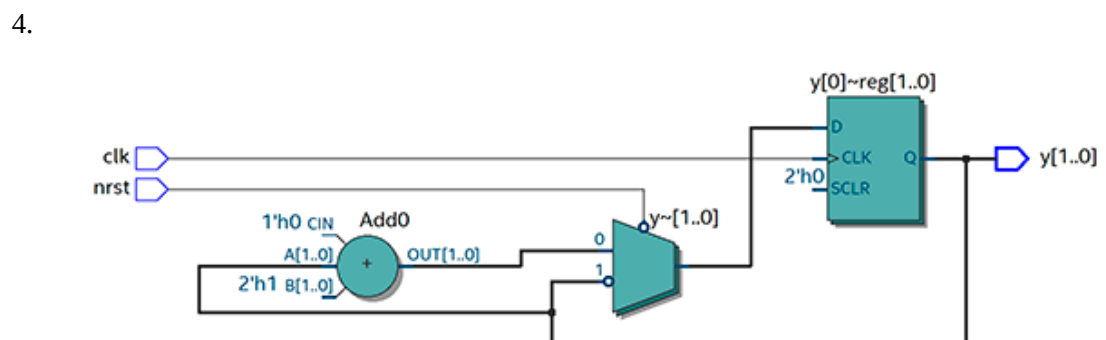
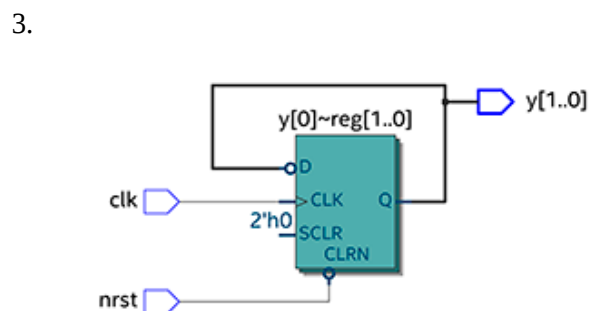
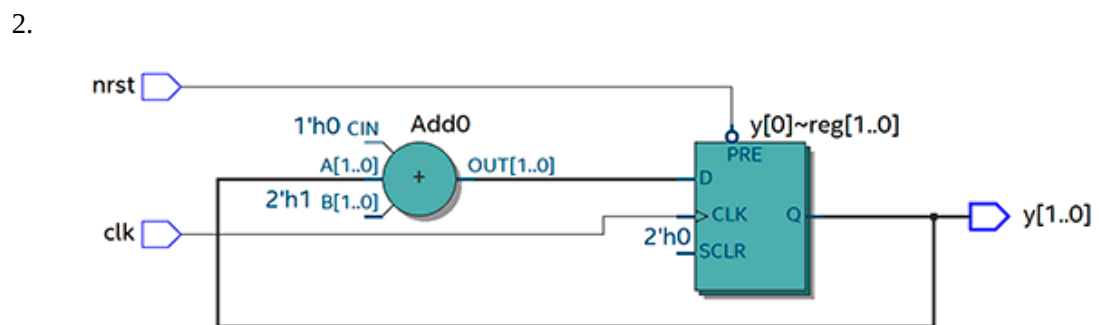
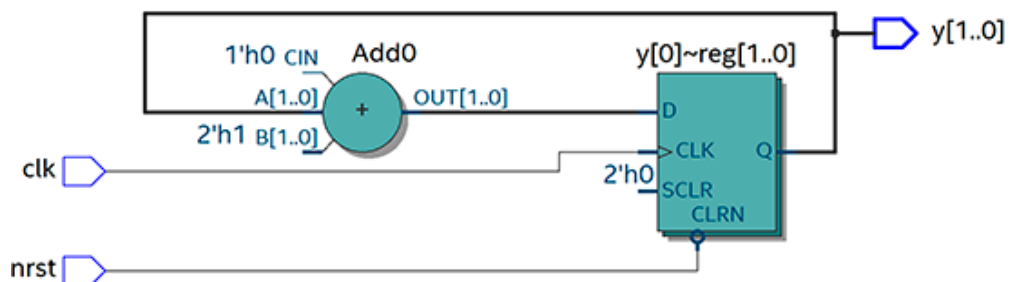
    if (~nrst) y <= 0;

    else y <= y + 2'b01;

end

endmodule
1.

```



№ 7 Прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа

Какую логическую функцию реализует примитив, код которого на языке Verilog приведён ниже?

```
primitive Q(
  output y,
  input a, b
);
```

```
table
  1 1 : 0;
  0 ? : 1;
  ? 0 : 1;
endtable
endprimitive
```

1.ИЛИ-НЕ

2.Исключающее ИЛИ-НЕ

3.И-НЕ

4..Исключающее ИЛИ

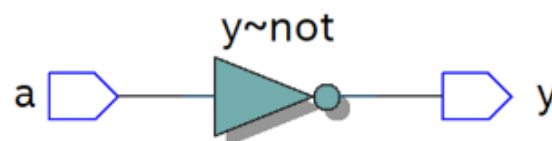
№ 8 Прочитайте текст и установите соответствие

Перед Вами приведены RTL схемы простейших модулей и операторы языка Veilog, который использовались в их коде. Установите какой оператор использовался для получения модуля. К каждой позиции, данной в левом столбце, подберите соответствующую позицию из правого столбца.

RTL схема

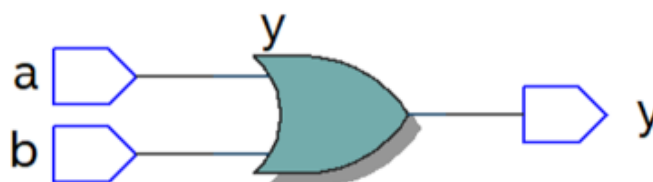
Оператор

1.



А. ~

2.



Б. -

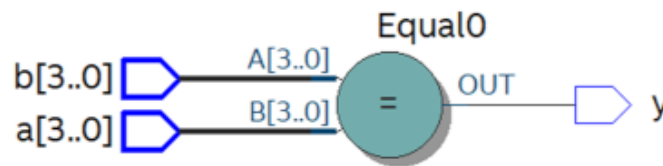
3.



В. |

4.

Г. +



Д. &  
 Е. ^  
 Ж. =  
 З. ==

№ 9 Прочитайте текст и установите последовательность

Ниже приведены строки на языке Verilog. Укажите, в каком они должны быть записаны порядке, чтобы получился блок кода, описывающий счётчик с асинхронным сбросом по срезу сигнала `nrst` и синхронизацией по фронту сигнала `clk`. `data` - регистр, описывающий текущее значение счётчика.

1. `data <= 0;`
2. `data <= data + 1;`
3. `else`
4. `if (!nrst)`
5. `always @(posedge clk or negedge nrst)`

№ 10 Прочитайте текст и установите последовательность

Ниже приведен код модуля конечного автомата на языке Verilog и значения входных сигналов в моменты синхронизации. Определите последовательность состояний конечного автомата, если в начальный момент времени он был в начальном состоянии. В ответе укажите их номера, например 01230123, начиная с начального состояния.

```
module fsm(input clk, nrst, input [1:0] x, output reg y);

parameter Q0 = 2'b00, Q1 = 2'b01, Q2 = 2'b10;

reg [1:0] STATE;

always @(posedge clk or negedge nrst)

if (~nrst)

STATE <= Q0;

else

case (STATE)

Q0: begin if (x == 2'b01) STATE <= Q1; if (x == 2'b10) STATE <= Q2; end

Q1: begin if (x == 2'b01) STATE <= Q2; if (x == 2'b10) STATE <= Q0; end

Q2: begin if (x == 2'b01) STATE <= Q0; if (x == 2'b10) STATE <= Q1; end

endcase

always @(*)

case (STATE)

Q0: y <= x[0];
```

```
Q1: y <= x[1];
```

```
Q2: y <= x[0];
```

```
endcase
```

```
endmodule
```

Входные сигналы

00                      10

00 10 10

№ 11 Прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа

Какой тип триггера реализует модуль, код которого на языке Verilog приведён ниже?

```
module flip_flop(
```

```
input x0, x1, x2, x3,
```

```
output reg y
```

```
);
```

```
always @(posedge x0 or negedge x1) begin
```

```
    if (!x1) y <= 0;
```

```
    else y <= x2;
```

```
end
```

```
endmodule
```

1. D триггер с синхронным сбросом

2. D триггер с асинхронным сбросом

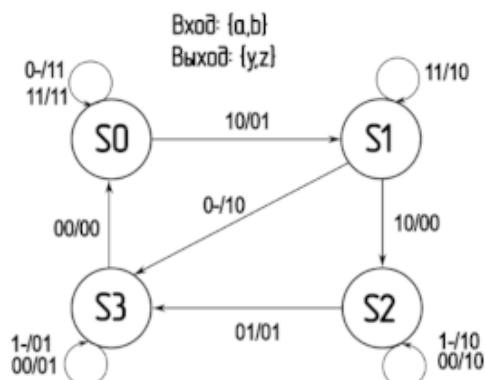
3. JK триггер с синхронным сбросом

4. JK триггер с асинхронным сбросом

№ 12 Прочитайте текст, выберите правильные ответы и запишите аргументы, обосновывающие выбор ответов

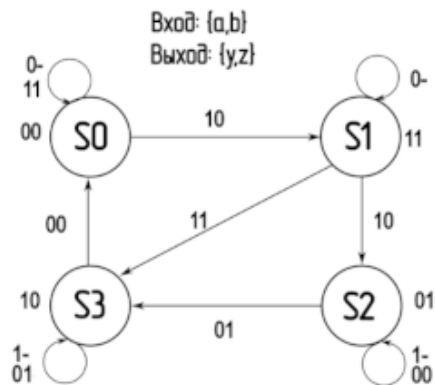
Какие приведённые графы описывают конечный автомат Мура?

1.

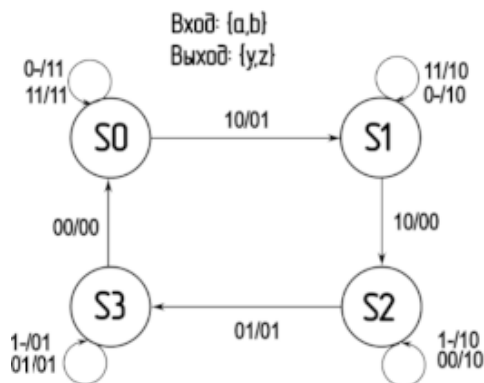


2.

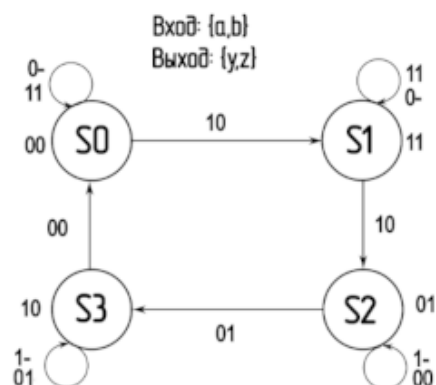




3.



4.



**ПК-1.8 - Способен проектировать радиотехнические устройства, приборы, системы и комплексы с учетом заданных требований**

№ 1 Прочитайте текст и установите последовательность

Ниже приведён перечень основных этапов создания простых устройств на ПЛИС. Укажите их в хронологическом порядке, начиная с первой.

1. Загрузка в ПЛИС битового потока
2. Написание кода
3. Временной анализ
4. Размещение на логических ячейках ПЛИС и трассировка сигнальных цепей
5. Генерация битового потока
6. Синтез

## 7. Тестирование на устройстве

№ 2 Прочитайте текст и запишите развернутый обоснованный ответ

Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания на языке Verilog:

$$y = x_0 \wedge x_1 \vee x_2 \wedge x_3 \vee x_4.$$

```
module testquestion(
```

```
    input [4:0] x,
```

```
    output y
```

```
);
```

```
//пользовательский код
```

```
endmodule
```

№ 3 Прочитайте текст и запишите развернутый обоснованный ответ

Используя приведённый шаблон модуля, реализовать D-триггер с асинхронным сбросом.

Синхронизация должна осуществляться по фронту тактового сигнала clk. При срезе сигнала nrst в триггер необходимо записать значение 0.

```
module testquestion(
```

```
    input d, clk, nrst,
```

```
    output reg y
```

```
);
```

```
//пользовательский код
```

```
endmodule
```

№ 4 Прочитайте текст, выберите правильные ответы и запишите аргументы, обосновывающие выбор ответов

Какие из перечисленных блоков обязательно присутствуют в ПЛИС?

1. Матрица логических ячеек

2. Блоки памяти

3. Блоки ввода-вывода

4. Блоки PLL

№ 5 Прочитайте текст, выберите правильные ответы и запишите аргументы, обосновывающие выбор ответов

Какие приведённые языки можно использовать для программирования ПЛИС без дополнительных библиотек?

1. VHDL

2. Verilog

3. SystemVerilog

4. Scala

№ 6 Прочитайте текст, выберите правильные ответы и запишите аргументы, обосновывающие выбор ответов

Какие типы присваивания есть в Verilog?

1. Непрерывное

2. Блокирующее

3. Неблокирующее

4. Автоматическое

№ 7 Прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа

Для чего в языке Verilog используются параметры?

1. Для хранения временных значений в процессе симуляции

2. Для создания констант, которые можно переопределять при создании экземпляров модулей

3. Для объявления глобальных переменных, доступных всем модулям проекта

4. Для описания тактовой частоты работы схемы

№ 8 Прочитайте текст и установите соответствие

Перед Вами приведены временные диаграммы моделирования простейших модулей, в которых сворачиваются входные биты шины, и операторы свёртки. Верхние 4 сигнала на диаграммах являются входными, а нижний - выходным. Установите какой оператор использовался для получения временной диаграммы. К каждой позиции, данной в левом столбце, подберите соответствующую позицию из правого столбца.

Временная диаграмма

Оператор

1.



А. &

2.



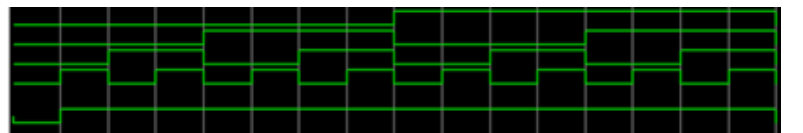
Б. |

3.



В. ~&

4.



Г. ~|

Д. ^

Е. ~^

№ 9 Прочитайте текст и установите соответствие

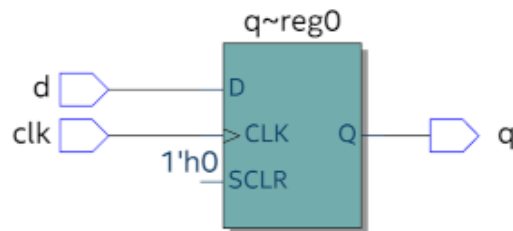
Перед Вами приведены RTL схемы простейших элементов памяти и их названия. Установите название элемента памяти на схеме. К каждой позиции, данной в левом столбце, подберите соответствующую позицию из правого столбца.

RTL схема

Название

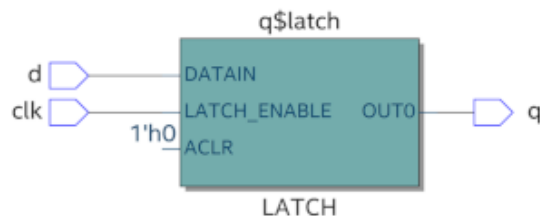
1.

А. D-



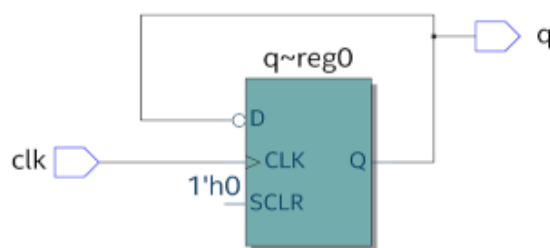
триггер

2.



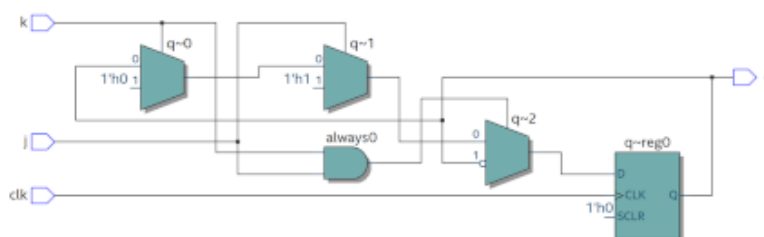
Б. RS-триггер

3.



В. D-защёлка

4.



Г. JK-триггер

Д. Т-триггер  
Е. JK-защёлка

№ 10 Прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа

Какой подход к проектированию цифровых устройств обеспечивает высокую тактовую частоту и пропускную способность при потоковой обработке данных?

1. Комбинационный
2. Многотактный
3. Конвейерный
4. Аналоговый

№ 11 Прочитайте текст и установите последовательность

Ниже приведены строки на языке Verilog. Укажите, в каком они должны быть записаны порядке, чтобы получилось тело модуля, описывающее однопортовое оперативное запоминающее устройство. Учтите, что сначала должны быть описаны внутренние сигналы, затем работа с входными сигналами, а после этого устанавливаться выходные значения. Модуль имеет следующие параметры: DATA\_WIDTH - разрядность шины данных, ADR\_WIDTH - разрядность шины адреса.

Модуль имеет следующие порты: x - шина данных, adr - шина адреса, clk - сигнал синхронизации, we - сигнал разрешения записи, y - выходная шина данных.

```

1. assign y = data[adr_r];
2. reg [ADR_WIDTH-1:0] adr_r; reg [DATA_WIDTH-1:0] data [0:2**(ADR_WIDTH)-1];
3. adr_r <= adr;
4. always @(posedge clk) begin
5. if (we)
6. end
7. data [adr] <= x;

```

№ 12 Прочитайте текст, выберите правильный ответ и запишите аргументы, обосновывающие выбор ответа

Какой способ представления конечного автомата приведён на рисунке?

ps	K(ps)	X(ps,nx)	ns	K(ns)	Y(ps, ns)	D(ps,ns)
Q0	000	0-	Q0	000	00	000
Q0	000	11	Q1	001	10	001
Q0	000	01	Q3	011	00	011
Q1	001	11	Q0	000	00	000
Q1	001	01	Q1	001	10	001
Q1	001	10	Q2	010	10	010
Q1	001	00	Q4	100	01	100
Q2	010	11	Q1	001	00	001
Q2	010	10	Q2	010	10	010
Q2	010	01	Q3	011	00	011
Q2	010	10	Q4	100	01	100
Q3	011	00	Q0	000	00	000
Q3	011	10	Q2	010	01	010
Q3	011	01	Q3	011	10	011
Q3	011	10	Q4	100	01	100
Q4	100	--	Q0	000	01	000

1. Список переходов
2. Граф
3. Структурный список переходов
4. Таблицы переходов и выходов