

УТВЕРЖДАЮ
 Декан факультета

_____ Страхов С. Ю.
 (подпись) ФИО
 « ____ » _____ 20__

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ НА ПЛИС

Направление/специальность подготовки	11.04.01 Радиотехника
Специализация/профиль/программа подготовки	Системы и устройства передачи, приема и обработки сигналов
Уровень высшего образования	Магистратура
Форма обучения	Очная
Факультет	И Информационных и управляющих систем
Выпускающая кафедра	И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ
Кафедра-разработчик рабочей программы	И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ

КУРС	СЕМЕСТР	ОБЩАЯ ТРУДОЁМКОСТЬ (ЗАЧЕТНЫХ ЕДИНИЦ)	ЧАСЫ (по наличию видов занятий)									ВИД ПРОМЕЖУТОЧНОГО КОНТРОЛЯ
			ОБЩАЯ ТРУДОЁМКОСТЬ	АУДИТОРНЫЕ ЗАНЯТИЯ				САМОСТОЯТЕЛЬНАЯ РАБОТА				
				ВСЕГО	ЛЕКЦИИ	ЛАБОРАТОРНЫЙ ПРАКТИКУМ	ПРАКТИЧЕСКИЕ ЗАНЯТИЯ	ВСЕГО	КУРСОВОЙ ПРОЕКТ	КУРСОВАЯ РАБОТА	ДРУГИЕ ВИДЫ САМОСТ. РАБОТЫ	
6	11	3	108	51	17	34	0	57	0	0	57	диф. зач.

ЛИСТ СОГЛАСОВАНИЯ

**РАБОЧАЯ ПРОГРАММА СОСТАВЛЕНА В СООТВЕТСТВИИ С ТРЕБОВАНИЯМИ ФЕДЕРАЛЬНОГО
ГОСУДАРСТВЕННОГО ОБРАЗОВАТЕЛЬНОГО СТАНДАРТА ВЫСШЕГО ОБРАЗОВАНИЯ (ФГОС ВО)**

11.04.01 Радиотехника

год набора группы: 2024

Программу составил:

Кафедра И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ
Колачев Игорь Олегович, ассистент

Программа рассмотрена
на заседании кафедры-разработчика
рабочей программы **И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ**

Заведующий кафедрой Страхов С.Ю., д.т.н., проф.

Программа рассмотрена
на заседании выпускающей кафедры

И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ

Заведующий кафедрой Страхов С.Ю., д.т.н., проф.

РАБОЧАЯ ПРОГРАММА ДИСЦИПЛИНЫ ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ НА ПЛИС

Разделы рабочей программы

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ
2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ООП ВО
3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ
4. ФОРМЫ КОНТРОЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ
5. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ
6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

Приложения к рабочей программе дисциплины

- Приложение 1. Аннотация рабочей программы
- Приложение 2. Технологии и формы обучения
- Приложение 3. Фонды оценочных средств

1. ЦЕЛИ ОСВОЕНИЯ ДИСЦИПЛИНЫ

Целью освоения дисциплины является формирование следующих компетенций:

ПСК-1.1 — способность самостоятельно осуществлять постановку задачи исследования, формирование плана его реализации, выбор методов исследования и обработку результатов
ПСК-1.12 — способность разрабатывать технологическую документацию на проектируемые устройства, приборы, системы и комплексы
ПСК-1.2 — способность выполнять моделирование объектов и процессов с целью анализа и оптимизации их параметров с использованием имеющихся средств исследований, включая стандартные пакеты прикладных программ
ПСК-1.3 — способность разрабатывать и обеспечивать программную реализацию эффективных алгоритмов решения сформулированных задач с использованием современных языков программирования
ПСК-1.4 — способность к организации и проведению экспериментальных исследований с применением современных средств и методов
ПСК-1.5 — способность к составлению обзоров и отчетов по результатам проводимых исследований, подготовке научных публикаций и заявок на изобретения, разработке рекомендаций по практическому использованию полученных результатов
ПСК-1.8 — способность проектировать радиотехнические устройства, приборы, системы и комплексы с учетом заданных требований

Формированию компетенций служит достижение следующих результатов образования:

ПСК-1.1

знания:

Основных направлений, проблем и методов их решения, представленных в исследованиях;

умения:

Анализ научно-технической проблемы построения цифрового устройства;

навыки:

Определение целей и постановка задачи проектирования цифрового устройства.

ПСК-1.12

знания:

Требования к технологической документации на устройства на ПЛИС;

умения:

Отображать требования к проектируемому устройству, прибору, системе и комплексу на ПЛИС в технологической документации;

навыки:

Самостоятельная разработка технологической документации на устройства на ПЛИС по известным требованиям.

ПСК-1.2

знания:

Способы моделирования объектов и процессов с целью анализа с помощью известных средств исследования, в том числе программных сред;

умения:

Симуляция работы программируемых логических интегральных схем;

навыки:

Использование средств исследования и стандартных пакетов прикладных программ.

ПСК-1.3

знания:

Современных языков программирования;

умения:

Разработка программного обеспечения для ПЛИС в современных средах проектирования;

навыки:

Разработки алгоритмов решения сформулированных задач с использованием современных языков программирования.

ПСК-1.4

знания:

Современных средств и методов организации и проведения экспериментальных исследований;

умения:

Настройка и отладка цифровых устройств на основе ПЛИС;

навыки:

Проведение экспериментальных исследований с использованием устройств на основе ПЛИС.

ПСК-1.5

знания:

Правила подготовки научных публикаций, заявок на изобретения и разработке рекомендаций по практическому использованию полученных результатов о функционировании цифрового устройства на ПЛИС;

умения:

Определять значимость результатов проведенных исследований о функционировании цифрового устройства на ПЛИС;

навыки:

Составление отчета о функционировании цифрового устройства на ПЛИС.

ПСК-1.8

знания:

Процесс разработки цифрового устройства с применением современных средств проектирования;

умения:

Использовать современные средства проектирования цифровых устройств;;

навыки:

Способен проектировать радиотехнические устройства, приборы, системы и комплексы с учетом заданных требований с применением современных средств проектирования.

2. МЕСТО ДИСЦИПЛИНЫ В СТРУКТУРЕ ООП ВО

Дисциплина **ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ НА ПЛИС** является дисциплиной **части, формируемой участниками образовательных отношений блока 1**, программы подготовки по направлению *11.04.01 Радиотехника*.

Содержание дисциплины является логическим продолжением дисциплин: **ПРОЕКТИРОВАНИЕ РАДИОЭЛЕКТРОННЫХ СИСТЕМ**.

Содержание дисциплины является основой для освоения дисциплин: **ПРЕДДИПЛОМНАЯ ПРАКТИКА**.

Предварительные компетенции, сформированные у обучающегося до начала изучения дисциплины:

- ПСК-1.1 — Способен самостоятельно осуществлять постановку задачи исследования, формирование плана его реализации, выбор методов исследования и обработку результатов
- ПСК-1.10 — Способен разрабатывать технические задания на проектирование технологических процессов
- ПСК-1.11 — Способен применять методы проектирования технологических процессов с использованием автоматизированных систем технологической подготовки производства
- ПСК-1.12 — Способен разрабатывать технологическую документацию на проектируемые устройства, приборы, системы и комплексы
- ПСК-1.13 — Способен обеспечивать технологичность изделий и процессов их изготовления, оценивать экономическую эффективность технологических процессов
- ПСК-1.14 — Способен осуществлять авторское сопровождение разрабатываемых устройств, приборов, систем и комплексов на этапах проектирования и производства
- ПСК-1.4 — Способен к организации и проведению экспериментальных исследований с применением современных средств и методов
- ПСК-1.6 — Способен анализировать состояние научно-технической проблемы путем подбора, изучения и анализа литературных и патентных источников
- ПСК-1.7 — Способен определять цели, осуществлять постановку задач проектирования, подготавливать технические задания на выполнение проектных работ
- ПСК-1.8 — Способен проектировать радиотехнические устройства, приборы, системы и комплексы с учетом заданных требований
- ПСК-1.9 — Способен разрабатывать проектно-конструкторскую документацию в соответствии с методическими и нормативными требованиями

3. СТРУКТУРА И СОДЕРЖАНИЕ ДИСЦИПЛИНЫ

Общая трудоемкость дисциплины составляет 3 з.е., 108 ч.

3.1. Содержание (дидактика) дисциплины

КУРС	СЕМЕСТР	Наименование разделов и дидактических единиц	ВСЕГО	Аудиторные занятия в контактной форме			Самостоятельная работа студентов	Формируемая компетенция, %						
				ВСЕГО	Лекции	Лабораторный практикум		ПСК-1.1	ПСК-1.12	ПСК-1.2	ПСК-1.3	ПСК-1.4	ПСК-1.5	ПСК-1.8
6	11	Раздел 1. Введение. Основы архитектуры ПЛИС. История ПЛИС. Основные блоки ПЛИС. Основные типы архитектур ПЛИС. Ведущие производители ПЛИС. Обзор актуальных архитектур ПЛИС. Обзор систем автоматизированного проектирования. Обзор языков описания аппаратуры (HDL). Этапы компиляции проектов под ПЛИС. Этапы симуляции проектов.	11	2	2	0	9	16	16	16	16	16	16	16
6	11	Раздел 2. Основы языка описания аппаратуры Verilog. История языка Verilog. Прimitives. Модули. Порты. Синтезируемые и несинтезируемые конструкции. Типы данных. Непрерывное присваивание. Операторы. Представление чисел. Процедурные блоки. Блокирующее присваивание. Неблокирующее присваивание. Конструкции условного выбора. Использование IP-ядер. Тестирующие модули (тестбенчи). Конструкции языка, используемые для симуляции.	18	9	3	6	9	16	16	16	16	16	16	16
6	11	Раздел 3. Комбинационные устройства. Шифраторы. Дешифраторы. Преобразователи кодов. Селекторы Мультиплексоры. Демультимплексоры. Сумматоры. Компараторы. Устройства сдвига. Арифметико-логические устройства (АЛУ). Параметризованные модули. Конструкции генерации.	19	10	3	7	9	17	17	17	17	17	17	17
6	11	Раздел 4. Последовательностные устройства. Триггеры. Регистры. Сдвиговые регистры. Счётчики. Элементы памяти. Регистровый файл. Постоянные запоминающие устройства (ПЗУ). Оперативные запоминающие устройства. Стек. Конвейерная обработка.	20	10	3	7	10	17	17	17	17	17	17	17
6	11	Раздел 5. Конечные автоматы. Основные идеи конечных автоматов. Конечный автомат Мура. Конечный автомат Мили. Графы и таблицы переходов конечных автоматов. Таблицы выходов конечных автоматов. Кодирование состояний. Этапы проектирования конечных автоматов. Методы описания конечных автоматов. Реализация протоколов UART, SPI и I2C с помощью конечных автоматов. Реализация алгоритма CORDIC с помощью конечных автоматов.	21	11	4	7	10	17	17	17	17	17	17	17
6	11	Раздел 6. Использование процессорного модуля. Программные и аппаратные процессорные модули. Настройка шин адреса и данных в процессорной системе. Настройка такового сигнала и сигнала сброса. Настройка адресного пространства и вектора прерываний. Использование блоков параллельного ввода-	19	9	2	7	10	17	17	17	17	17	17	17

	вывода (PIO). Использование пользовательских модулей. Программирование процессорного модуля на языке C.												
Всего за 11 семестр		108	51	17	34	57	100	100	100	100	100	100	100
Всего по дисциплине		108	51	17	34	57	100	100	100	100	100	100	100

3.2. Лабораторный практикум

№ п/п	Номер и наименование раздела дисциплины	Тема лабораторного практикума	Объем, ауд. часов
1	Раздел 2. Основы языка описания аппаратуры Verilog.	Знакомство с САПР Quartus. Проектирование и моделирование простейшего комбинационного устройства.	6
2	Раздел 3. Комбинационные устройства.	Разработка параметризованного комбинационного устройства.	7
3	Раздел 4. Последовательностные устройства.	Проектирование простейшего цифрового генератора сигналов.	7
4	Раздел 5. Конечные автоматы.	Проектирование цифрового устройства на основе конечного автомата.	7
5	Раздел 6. Использование процессорного модуля.	Проектирование устройства управления на основе процессорного модуля.	7
Всего за 11 семестр			34

3.3. Самостоятельная работа студента (СРС)

№ п/п	Номер и наименование раздела дисциплины	Содержание учебного задания	Объем, часов
1	Раздел 1. Введение. Основы архитектуры ПЛИС.	Изучение особенностей дисциплины, знакомство с рекомендуемой литературой.	9
2	Раздел 2. Основы языка описания аппаратуры Verilog.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	9
3	Раздел 3. Комбинационные устройства.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	9
4	Раздел 4. Последовательностные устройства.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	10
5	Раздел 5. Конечные автоматы.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	10
6	Раздел 6. Использование процессорного модуля.	Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	10
Всего за 11 семестр			57

4. ФОРМЫ КОНТРОЛЯ ОСВОЕНИЯ ДИСЦИПЛИНЫ

СЕМЕСТР	НЕДЕЛИ СЕМЕСТРА																
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
11				ЛР		ДР	ЛР		ЛР	ДР		ЛР		ЛР		ДР	Вопр.Диф.Зач, диф. зач.

Условные обозначения:

- ДР – диагностическая работа;
- ЛР – лабораторная работа;
- Вопр.Диф.Зач – вопросы к дифференцированному зачету;
- диф. зач. – дифференцированный зачет.

Текущий контроль успеваемости студентов проводится в дискретные временные интервалы в следующих формах:

- диагностическая работа;
- лабораторная работа;
- вопросы к дифференцированному зачету.

Промежуточная аттестация проводится в формах:

- дифференцированный зачет.

5. УЧЕБНО-МЕТОДИЧЕСКОЕ И ИНФОРМАЦИОННОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

5.1. Основная литература по дисциплине:

1. А. К. Нарышкин. . Цифровые устройства и микропроцессоры. М.: Академия, 2008, 200 экз.
2. А. М. Сажнев. . Цифровые устройства и микропроцессоры. Москва: Юрайт, 2020, эл. рес.
3. А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog. Санкт-Петербург: Лань, 2022, эл. рес.
4. Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера. Waltham: Morgan Kaufman, 2013, эл. рес.
5. К. Максфилд. . Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца. М.: ДОДЭКА-XXI, 2007, эл. рес.
6. О. Н. Музыченко. . Методы синтеза конечных автоматов. СПб.БГТУ "ВОЕНМЕХ" им. Д. Ф. Устинова, 2012, эл. рес.

5.2. Дополнительная литература по дисциплине:

не требуется.

5.3. Периодические издания:

не требуются.

5.4. Перечень ресурсов информационно-телекоммуникационной сети "Интернет", необходимых для освоения дисциплины, электронные библиотечные системы:

1. <http://library.voenmeh.ru> — Фундаментальная библиотека БГТУ «ВОЕНМЕХ» им. Д.Ф. Устинова;
2. <http://e.lanbook.com> — ЭБС Лань;
3. <http://urait.ru> — Образовательная платформа «Юрайт». Для вузов и ссузов.;
4. <https://marsohod.org/> — FPGA блог: опыт, отладка, программирование на Verilog;
5. <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&No=836> — Terasic - SoC Platform - Cyclone - DE1-SoC Board;
6. <https://e.lanbook.com/book/322511> — ЭБС Лань;
7. <https://kit-e.ru/kratkij-kurs/> — Краткий курс HDL. Язык Verilog.

Современные профессиональные базы данных:

1. <https://rusneb.ru> – Национальная электронная библиотека (НЭБ);
2. <https://cyberleninka.ru/> - Научная электронная библиотека «Киберленинка»;
<http://www.rfbr.ru/rffi/ru/library> - Полнотекстовая электронная библиотека Российского фонда фундаментальных исследований.

Информационные справочные системы:

1. Техэксперт – Информационный портал технического регулирования: Нормы, правила, стандарты РФ;
2. http://library.voenmeh.ru/jirbis2/index.php?option=com_irbis&view=irbis&Itemid=457 - БД ГОСТов собственной генерации БГТУ "ВОЕНМЕХ" им. Д. Ф. Устинова;
3. <http://www.consultant.ru/> - КонсультантПлюс- информационный портал правовой информации.

5.5. Программное обеспечение:

не требуется.

5.6. Информационные технологии:

взаимодействие с обучающимися посредством ЭИОС Moodle БГТУ «ВОЕНМЕХ» им. Д.Ф. Устинова.

6. МАТЕРИАЛЬНО-ТЕХНИЧЕСКОЕ ОБЕСПЕЧЕНИЕ ДИСЦИПЛИНЫ

6.1. Лекционные занятия:

специализированные требования по оборудованию отсутствуют; аудитория с посадочными местами по количеству студентов; доска.

6.2. Лабораторные занятия:

1. Проектор.

6.3. Прочее:

1. рабочее место преподавателя, оснащенное компьютером с доступом в Интернет;
2. рабочие места студентов, оснащенные компьютерами с доступом в Интернет, предназначенные для работы в электронной образовательной среде.

Аннотация рабочей программы

Дисциплина **ПРОЕКТИРОВАНИЕ ЦИФРОВЫХ СИСТЕМ НА ПЛИС** является дисциплиной **части, формируемой участниками образовательных отношений блока 1**, программы подготовки по направлению **11.04.01 Радиотехника**. Дисциплина реализуется на факультете **И Информационных и управляющих систем БГТУ "ВОЕНМЕХ"** им. Д.Ф. Устинова кафедрой **И4 РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ УПРАВЛЕНИЯ**.

Дисциплина нацелена на формирование *компетенций*:

ПСК-1.1 способность самостоятельно осуществлять постановку задачи исследования, формирование плана его реализации, выбор методов исследования и обработку результатов;

ПСК-1.12 способность разрабатывать технологическую документацию на проектируемые устройства, приборы, системы и комплексы;

ПСК-1.2 способность выполнять моделирование объектов и процессов с целью анализа и оптимизации их параметров с использованием имеющихся средств исследований, включая стандартные пакеты прикладных программ;

ПСК-1.3 способность разрабатывать и обеспечивать программную реализацию эффективных алгоритмов решения сформулированных задач с использованием современных языков программирования;

ПСК-1.4 способность к организации и проведению экспериментальных исследований с применением современных средств и методов;

ПСК-1.5 способность к составлению обзоров и отчетов по результатам проводимых исследований, подготовке научных публикаций и заявок на изобретения, разработке рекомендаций по практическому использованию полученных результатов;

ПСК-1.8 способность проектировать радиотехнические устройства, приборы, системы и комплексы с учетом заданных требований.

Содержание дисциплины охватывает круг вопросов, связанных с проектированием цифровых систем на современных программируемых логических интегральных схемах с использованием языка описания аппаратуры Verilog.

Программой дисциплины предусмотрены следующие **виды контроля**:

Текущий контроль успеваемости студентов проводится в дискретные временные интервалы в следующих формах:

- диагностическая работа;
- лабораторная работа;
- вопросы к дифференцированному зачету.

Промежуточная аттестация проводится в формах:

- дифференцированный зачет.

Общая трудоемкость освоения дисциплины составляет 3 з.е., **108 ч.** Программой дисциплины предусмотрены лекционные занятия (**17 ч.**), лабораторный практикум (**34 ч.**), самостоятельная работа студента (**57 ч.**).

ТЕХНОЛОГИИ И ФОРМЫ ОБУЧЕНИЯ

Рекомендации по освоению дисциплины для студента

Трудоемкость освоения дисциплины составляет 108 ч., из них 51 ч. аудиторных занятий, и 57 ч., отведенных на самостоятельную работу студента.

Рекомендации по распределению учебного времени по видам самостоятельной работы и разделам дисциплины приведены в таблице.

Контроль освоения дисциплины производится в соответствии с Положением о текущем, рубежном контроле успеваемости и промежуточной аттестации обучающихся.

Формы контроля и критерии оценивания приведены в приложении 3 к Рабочей программе.

Наименование работы	Рекомендуемая литература	Трудоемкость, час.
Раздел 1. Введение. Основы архитектуры ПЛИС.		
Изучение особенностей дисциплины, знакомство с рекомендуемой литературой.	К. Максфилд. . Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца: М.: ДОДЭКА-XXI, 2007 (2-6)	9
Итого по разделу 1		9
Раздел 2. Основы языка описания аппаратуры Verilog.		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (1) Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера: Waltham: Morgan Kaufman, 2013 (4-5) К. Максфилд. . Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца: М.: ДОДЭКА-XXI, 2007 (9, 19)	9
Итого по разделу 2		9
Раздел 3. Комбинационные устройства.		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера: Waltham: Morgan Kaufman, 2013 (2, 4-5) А. М. Сажнев. . Цифровые устройства и микропроцессоры: Москва: Юрайт, 2020 (1-3) А. К. Нарышкин. . Цифровые устройства и микропроцессоры: М.: Академия, 2008 (6-12) А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (2)	9
Итого по разделу 3		9
Раздел 4. Последовательностные устройства.		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (2) Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера: Waltham: Morgan Kaufman, 2013 (5)	10

	А. М. Сажнев. . Цифровые устройства и микропроцессоры: Москва: Юрайт, 2020 (4) А. К. Нарышкин. . Цифровые устройства и микропроцессоры: М.: Академия, 2008 (13-16)	
Итого по разделу 4		10
Раздел 5. Конечные автоматы.		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (4) Д. М. Харрис, С. Л. Харрис. . Цифровая схемотехника и архитектура компьютера: Waltham: Morgan Kaufman, 2013 (3) О. Н. Музыченко. . Методы синтеза конечных автоматов: СПб.БГТУ "ВОЕНМЕХ" им. Д. Ф. Устинова, 2012 (1-4)	10
Итого по разделу 5		10
Раздел 6. Использование процессорного модуля.		
Изучение рекомендованной литературы. Изучение примеров проектирования систем на ПЛИС из библиотеки Quartus. Подготовка к выполнению лабораторной работы. Подготовка отчёта по лабораторной работе.	К. Максфилд. . Проектирование на ПЛИС. Архитектура, средства и методы. Курс молодого бойца: М.: ДОДЭКА-XXI, 2007 (13) А. Х. Мурсаев, О. И. Буренева. . Практикум по проектированию на языках VerilogHDL и SystemVerilog: Санкт-Петербург: Лань, 2022 (7)	10
Итого по разделу 6		10

ФОНД ОЦЕНОЧНЫХ СРЕДСТВ

Фонд оценочных средств, позволяющие оценить результаты обучения по данной дисциплине, включают в себя:

- диагностическая работа
- вопросы к дифференцированному зачету;
- лабораторная работа;
- дифференцированный зачет.

Критерии оценивания

Диагностическая работа

Диагностическая работа проводится в форме теста в ЭИОС Moodle:

- при правильном ответе менее чем на 60% вопросов - не аттестация;
- при правильном ответе на 60% вопросов и более - аттестация.

Вопросы к дифференцированному зачету

Перечень вопросов опубликован в ЭИОС Moodle на странице курса.

Лабораторная работа

После выполнения лабораторной работы, студент готовит отчет, сдает его преподавателю, а далее происходит собеседование, направленное на выявление степени усвоения материала.

Дифференцированный зачет

Дифференцированный зачет сдается при условии полного выполнения графика контрольных мероприятий. На дифф. зачете студенту выдается тест из 10 вопросов. При правильном ответе на 6 вопросов студент получает "удовлетворительно", при правильном ответе на 7-9 вопросов - "хорошо", при правильном ответе на 10 вопросов - "отлично"

Паспорт фонда оценочных средств

КУРС	СЕМЕСТР	Наименование разделов и дидактических единиц	ВСЕГО	Аудиторные занятия в контактной форме			Самостоятельная работа студентов	Формируемая компетенция, %							НАИМЕНОВАНИЕ ОЦЕНОЧНОГО СРЕДСТВА
				ВСЕГО	Лекции	Лабораторный практикум		ПСК-1.1	ПСК-1.12	ПСК-1.2	ПСК-1.3	ПСК-1.4	ПСК-1.5	ПСК-1.8	
6	11	Раздел 1. Введение. Основы архитектуры ПЛИС.	11	2	2	0	9	16	16	16	16	16	16	16	Вопросы к дифференцированному зачету
6	11	Раздел 2. Основы языка описания аппаратуры Verilog.	18	9	3	6	9	16	16	16	16	16	16	16	Лабораторная работа
6	11	Раздел 3. Комбинационные устройства.	19	10	3	7	9	17	17	17	17	17	17	17	Лабораторная работа
6	11	Раздел 4. Последовательностные устройства.	20	10	3	7	10	17	17	17	17	17	17	17	Лабораторная работа
6	11	Раздел 5. Конечные автоматы.	21	11	4	7	10	17	17	17	17	17	17	17	Лабораторная работа
6	11	Раздел 6. Использование процессорного модуля.	19	9	2	7	10	17	17	17	17	17	17	17	Лабораторная работа
Всего за 11 семестр			108	51	17	34	57	100	100	100	100	100	100	100	
Всего по дисциплине			108	51	17	34	57	100	100	100	100	100	100	100	

Критерии оценивания

ПСК-1.1

Вопросы открытого типа:

- № 1 Какое ключевое слово языка Verilog отвечает за открывающуюся процедурную скобку?
- № 2 Какое ключевое слово языка Verilog отвечает за закрывающуюся процедурную скобку?
- № 3 Какое ключевое слово языка Verilog отвечает за объявление блока выбора?
- № 4 Какое ключевое слово языка Verilog отвечает за объявление значения по умолчанию в блоке case?
- № 5 Какое ключевое слово языка Verilog отвечает за объявление модуля?
- № 6 Какое ключевое слово языка Verilog отвечает за окончание объявления модуля?
- № 7 Какое ключевое слово языка Verilog отвечает за условный оператор?
- № 8 Какое ключевое слово языка Verilog отвечает за объявление входного порта?
- № 9 Какое ключевое слово языка Verilog отвечает за объявление двунаправленного порта?
- № 10 Какое ключевое слово языка Verilog отвечает за объявление выходного порта?

Вопросы закрытого типа:

- № 1 На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```
`timescale 1ns/1ns
```

```
module Q1;
```

```
    reg [1:0] data;
```

```
    initial begin
```

```
        data = 2'b00;
```

```
        #10;
```

```
        data = 2'b01;
```

```
        #10;
```

```
        data = 2'b10;
```

```
        #10;
```

```
        data = 2'b11;
```

```
        #10;
```

```
    end
```

```
    initial
```

```
        $dumpvars;
```

```
endmodule
```

<figure class="image"></figure>

- № 2 На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```
`timescale 1ns/1ns
```

```
module Q1;
```

```
    reg [1:0] data;
```

```
    initial begin
```

```
        data = 2'b00;
```

```
        #20;
```

```

data = 2'b01;

#20;

data = 2'b10;

#20;

data = 2'b11;

#20;

end

initial

    $dumpvars;

endmodule

```

<figure class="image"></figure>

№ 3

На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```

`timescale 1ns/1ns

module Q1;

    reg [1:0] data;

    initial begin

        data = 2'b11;

        #10;

        data = 2'b00;

        #10;

        data = 2'b11;

        #10;

        data = 2'b00;

        #10;

    end

    initial

        $dumpvars;

endmodule

```

<figure class="image"></figure>

№ 4

На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```

`timescale 1ns/1ns

module Q1;

    reg [1:0] data;

    initial begin

```

```

data = 2'b01;

#10;

data = 2'b10;

#10;

data = 2'b01;

#10;

data = 2'b10;

#10;

end

initial

    $dumpvars;

endmodule

```

<figure class="image">
</figure>

№ 5

На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```
`timescale 1ns/1ns
```

```

module Q2;

    reg [2:0] data;

    initial begin

        data = 3'b101;

        #10;

        data = 3'b100;

        #10;

        data = 3'b110;

        #10;

        data = 3'b010;

        #10;

    end

    initial

        $dumpvars;

endmodule

```

<figure class="image">
</figure>

№ 6

На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```
`timescale 1ns/1ns
```

```
module Q2;
```

```

reg [2:0] data;

initial begin

    data = 3'b000;

    #10;

    data = 3'b001;

    #10;

    data = 3'b010;

    #10;

    data = 3'b100;

    #10;

end

```

```

initial

```

```

    $dumpvars;

```

```

endmodule

```

```

<figure class="image">
</figure>

```

№ 7

На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```

`timescale 1ns/1ns

```

```

module Q2;

```

```

    reg [2:0] data;

```

```

    initial begin

```

```

        data = 3'b000;

```

```

        #10;

```

```

        data = 3'b001;

```

```

        #20;

```

```

        data = 3'b010;

```

```

        #20;

```

```

        data = 3'b100;

```

```

        #10;

```

```

    end

```

```

    initial

```

```

        $dumpvars;

```

```

endmodule

```

```

<figure class="image">
</figure>

```

№ 8

На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```
`timescale 1ns/1ns
```

```
module Q2;
```

```
    reg [2:0] data;
```

```
    initial begin
```

```
        data = 3'b101;
```

```
        #20;
```

```
        data = 3'b100;
```

```
        #20;
```

```
        data = 3'b110;
```

```
        #10;
```

```
        data = 3'b010;
```

```
        #10;
```

```
    end
```

```
    initial
```

```
        $dumpvars;
```

```
endmodule
```

```
<figure class="image">
</figure>
```

№ 9

На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```
`timescale 1ns/1ns
```

```
module Q3;
```

```
    reg [3:0] data;
```

```
    initial begin
```

```
        data = 4'b1000;
```

```
        #10;
```

```
        data = 4'b0100;
```

```
        #10;
```

```
        data = 4'b0010;
```

```
        #10;
```

```
        data = 4'b0001;
```

```
        #10;
```

```
    end
```

```
    initial
```

```
        $dumpvars;
```

```
endmodule
```

```
<figure class="image">
</figure>
```

На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```
`timescale 1ns/1ns
```

```
module Q3;
```

```
    reg [3:0] data;
```

```
    initial begin
```

```
        data = 4'b0001;
```

```
        #10;
```

```
        data = 4'b0010;
```

```
        #10;
```

```
        data = 4'b0100;
```

```
        #10;
```

```
        data = 4'b1000;
```

```
        #10;
```

```
    end
```

```
    initial
```

```
        $dumpvars;
```

```
endmodule
```

<figure class="image"></figure>

ПСК-1.12

Вопросы открытого типа:

- № 1 Какое ключевое слово языка Verilog отвечает за объявление блока, запускающегося один раз при начале моделирования?
- № 2 Какое ключевое слово языка Verilog отвечает за объявление блока, в котором допускается использовать блокирующее и неблокирующее присваивание?
- № 3 Какое ключевое слово языка Verilog отвечает за объявление непрерывного присваивания?
- № 4 Какое ключевое слово языка Verilog отвечает за объявление непрерывного присваивания?
- № 5 Какое ключевое слово языка Verilog отвечает за объявление регистра?
- № 6 Какое ключевое слово языка Verilog отвечает за объявление проводника?
- № 7 Какое ключевое слово языка Verilog обозначает фронт сигнала?
- № 8 Какое ключевое слово языка Verilog обозначает срез сигнала?
- № 9 С помощью какого оператора языка Verilog осуществляется неблокирующее присваивание?
- № 10 С помощью какого оператора языка Verilog осуществляется блокирующее присваивание?

Вопросы закрытого типа:

- № 1 На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```
`timescale 1ns/1ns
```

```
module Q3;
```

```
    reg [3:0] data;
```

```
    initial begin
```

```
        data = 4'b1000;
```

```
        #10;
```

```

data = 4'b0100;

#20;

data = 4'b0010;

#10;

data = 4'b0001;

#20;

end

initial

    $dumpvars;

endmodule

```

<figure class="image"></figure>

№ 2

На какой из приведённых временных диаграмм приведен результат моделирования следующего кода?

```

`timescale 1ns/1ns

module Q3;

    reg [3:0] data;

    initial begin

        data = 4'b0001;

        #20;

        data = 4'b0010;

        #10;

        data = 4'b0100;

        #10;

        data = 4'b1000;

        #20;

    end

    initial

        $dumpvars;

endmodule

```

<figure class="image"></figure>

№ 3

На каком из рисунков приведено RTL представление следующего модуля?

```

module testquestion(

    input clk, nrst,

    output reg [1:0] y

);

always @(posedge clk or negedge nrst) begin

```

```
if (~nrst) y <= 2'b00;
```

```
else y <= y + 2'b01;
```

```
end
```

```
endmodule
```

<figure class="image">
</figure>

№ 4

На каком из рисунков приведено RTL представление следующего модуля?

```
module testquestion(
```

```
    input clk, nrst,
```

```
    output reg [1:0] y
```

```
);
```

```
always @(posedge clk or negedge nrst) begin
```

```
    if (~nrst) y <= 2'b11;
```

```
    else y <= y + 2'b01;
```

```
end
```

```
endmodule
```

<figure class="image">
</figure>

№ 5

На каком из рисунков приведено RTL представление следующего модуля?

```
module testquestion(
```

```
    input clk, nrst,
```

```
    output reg [1:0] y
```

```
);
```

```
always @(posedge clk or negedge nrst) begin
```

```
    if (~nrst) y <= 2'b00;
```

```
    else y <= ~y;
```

```
end
```

```
endmodule
```

<figure class="image">
</figure>

№ 6

На каком из рисунков приведено RTL представление следующего модуля?

```
module testquestion(
```

```
    input clk, nrst,
```

```
    output reg [1:0] y
```

```
);
```

```
always @(posedge clk) begin
```

```
    if (~nrst) y <= ~y;
```

```
    else y <= y + 2'b01;
```

```
end
```

- endmodule
- <figure class="image"></figure>
- № 7 На каком из рисунков приведено RTL представление следующего модуля?
- ```

module testquestion(
 input [3:0] a,
 input [3:0] b,
 output [3:0] y
);
assign y = a + b;
endmodule

```
- <figure class="image"></figure>
- № 8 На каком из рисунков приведено RTL представление следующего модуля?
- ```

module testquestion(
    input [3:0] a,
    input [3:0] b,
    output [3:0] y
);
assign y = a << b[1:0];
endmodule

```
- <figure class="image"></figure>
- № 9 На каком из рисунков приведено RTL представление следующего модуля?
- ```

module testquestion(
 input [3:0] a,
 input [3:0] b,
 output [3:0] y
);
assign y = a % b;
endmodule

```
- <figure class="image"></figure>
- № 10 На каком из рисунков приведено RTL представление следующего модуля?
- ```

module testquestion(
    input [3:0] a,
    input [3:0] b,
    output [3:0] y
);

```

```
assign y = a * b;
```

```
endmodule
```

```
<figure class="image">
</figure>
```

ПСК-1.2

Вопросы открытого типа:

- № 1 С помощью какого оператора языка Verilog осуществляется инверсия сигнала?
- № 2 Каким символом в языке Verilog обозначается неизвестное состояние?
- № 3 Каким символом в языке Verilog обозначается высокоимпедансное состояние?
- № 4 Запишите число 25 (десятичная система) в десятичной системе счисления на языке Verilog, используя 8 разрядов.
- № 5 Запишите число 101 (двоичная система) в десятичной системе счисления на языке Verilog, используя 4 разряда.
- № 6 Запишите число 101 (восьмеричная система) в десятичной системе счисления на языке Verilog, используя 12 разрядов.
- № 7 Запишите число 2A (шестнадцатеричная система) в десятичной системе счисления на языке Verilog, используя 16 разрядов.
- № 8 Запишите число 17 (десятичная система) в двоичной системе счисления на языке Verilog, используя 5 разрядов.
- № 9 Запишите число 1110 (двоичная система) в двоичной системе счисления на языке Verilog, используя 4 разряда
- № 10 Запишите число 11 (восьмеричная система) в двоичной системе счисления на языке Verilog, используя 10 разрядов

Вопросы закрытого типа:

- № 1 На каком из рисунков приведено RTL представление следующего модуля?

```
module testquestion(
```

```
    input [3:0] x,
```

```
    output y
```

```
);
```

```
assign y = &x;
```

```
endmodule
```

```
<figure class="image">
</figure>
```

- № 2 На каком из рисунков приведено RTL представление следующего модуля?

```
module testquestion(
```

```
    input [3:0] x,
```

```
    output y
```

```
);
```

```
assign y = ^x;
```

```
endmodule
```

```
<figure class="image">
</figure>
```

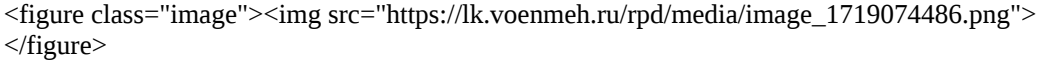
- № 3 На каком из рисунков приведено RTL представление следующего модуля?

```
module testquestion(
```

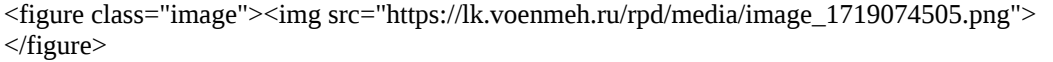
```
    input [3:0] x,
```

```
    output y
```

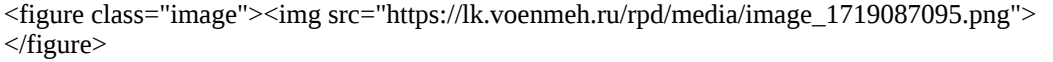
```
);
```

- assign y = |x;
- endmodule
- № 4  На каком из рисунков приведено RTL представление следующего модуля?
- ```

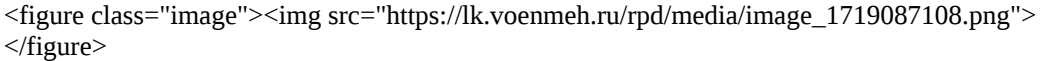
module testquestion(
 input [3:0] x,
 output y
);
assign y = ~|x;
endmodule

```
- № 5  С помощью какого оператора языка Verilog была синтезирована приведённая схема?
- ```

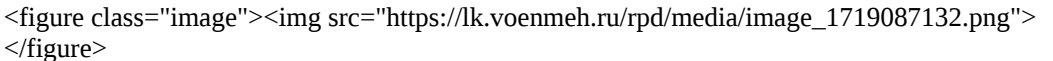
<figure class="image">
</figure>

```
- A +
- Б -
- В *
- Г %
- № 6  С помощью какого оператора языка Verilog была синтезирована приведённая схема?
- ```

<figure class="image">
</figure>



```
- A +
- Б -
- В \*
- Г %
- № 7  С помощью какого оператора языка Verilog была синтезирована приведённая схема?
- ```

<figure class="image">
</figure>

```
- A +
- Б -
- В *
- Г %
- № 8  С помощью какого оператора языка Verilog была синтезирована приведённая схема?
- ```

<figure class="image">
</figure>

```
- A +
- Б -
- В \*
- Г %

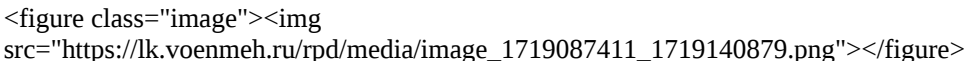
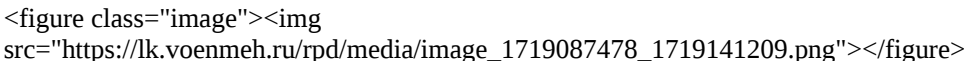
- № 9 С помощью какого оператора языка Verilog была синтезирована приведённая схема?
- 
- А &&  
Б ||  
В &  
Г |
- № 10 С помощью какого оператора языка Verilog была синтезирована приведённая схема?
- 
- А &&  
Б ||  
В &  
Г |


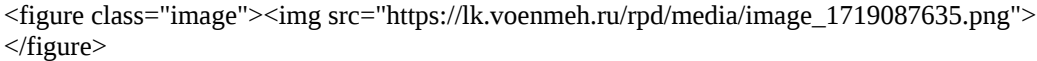
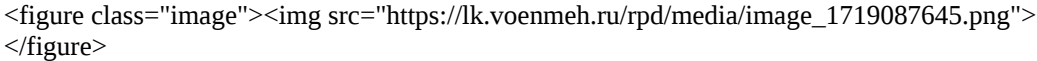
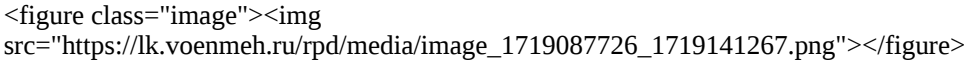
### ПСК-1.3

#### Вопросы открытого типа:

- № 1 Запишите число 2В (шестнадцатеричная система) в двоичной системе счисления на языке Verilog, используя 16 разрядов.
- № 2 Запишите число 21 (десятичная система) в восьмеричной системе счисления на языке Verilog, используя 6 разрядов.
- № 3 Запишите число 1000 (двоичная система) в восьмеричной системе счисления на языке Verilog, используя 4 разряда.
- № 4 Запишите число 123 (восьмеричная система) в восьмеричной системе счисления на языке Verilog, используя 8 разрядов.
- № 5 Запишите число Е (шестнадцатеричная система) в восьмеричной системе счисления на языке Verilog, используя 5 разрядов.
- № 6 Запишите число 33 (десятичная система) в шестнадцатеричной системе счисления на языке Verilog, используя 8 разрядов.
- № 7 Запишите число 110111 (двоичная система) в шестнадцатеричной системе счисления на языке Verilog, используя 9 разрядов.
- № 8 Запишите число 27 (восьмеричная система) в шестнадцатеричной системе счисления на языке Verilog, используя 6 разрядов.
- № 9 Запишите число АЕ (шестнадцатеричная система) в шестнадцатеричной системе счисления на языке Verilog, используя 9 разрядов.
- № 10 Запишите число А0 (шестнадцатеричная система) в шестнадцатеричной системе счисления на языке Verilog, используя 16 разрядов.

#### Вопросы закрытого типа:

- № 1 С помощью какого оператора языка Verilog была синтезирована приведённая схема?
- 
- А &&  
Б ||  
В &  
Г |
- № 2 С помощью какого оператора языка Verilog была синтезирована приведённая схема?
- 
- А &&  
Б ||

|     |                                                                                                                                                                                                                                                                               |
|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     | В &                                                                                                                                                                                                                                                                           |
|     | Г                                                                                                                                                                                                                                                                             |
| № 3 | <p>С помощью какого оператора языка Verilog была синтезирована приведённая схема, если первым операндом была шина а, а вторым - b.</p> <p></p> <p>А &gt;</p> <p>Б &gt;=</p> <p>В &lt;</p>   |
| № 4 | <p>С помощью какого оператора языка Verilog была синтезирована приведённая схема, если первым операндом была шина а, а вторым - b.</p> <p></p> <p>А &gt;</p> <p>Б &gt;=</p> <p>В &lt;</p>   |
| № 5 | <p>С помощью какого оператора языка Verilog была синтезирована приведённая схема, если первым операндом была шина а, а вторым - b.</p> <p></p> <p>А &gt;</p> <p>Б &gt;=</p> <p>В &lt;</p> |
| № 6 | <p>С помощью какого оператора языка Verilog была синтезирована приведённая схема, если первым операндом была шина а, а вторым - b.</p> <p></p> <p>А &gt;</p> <p>Б &gt;=</p> <p>В &lt;</p> |
| № 7 | <p>На какой временной диаграмме показаны корректные результаты моделирования приведённого модуля?</p> <pre> module func( input [1:0] a, b, input [1:0] op, output reg c ); always @(*) </pre>                                                                                 |

№ 8

```
case (op)

2'b00: c = a == b;

2'b01: c = a != b;

2'b10: c = a < b;

2'b11: c = a > b;

endcase

endmodule
```

<figure class="image"></figure>  
На какой временной диаграмме показаны корректные результаты моделирования  
приведённого модуля?

```
module func(

input [1:0] a, b,

input [1:0] op,

output reg c

);

always @(*)

case (op)

2'b00: c = a == b;

2'b01: c = a != b;

2'b10: c = a <= b;

2'b11: c = a >= b;

endcase

endmodule
```

№ 9

<figure class="image"></figure>  
На какой временной диаграмме показаны корректные результаты моделирования  
приведённого модуля?

```
module func(

input [1:0] a, b,

input [1:0] op,

output reg c

);

always @(*)

case (op)

2'b00: c = a == b;

2'b01: c = a != b;

2'b10: c = a == b;

2'b11: c = a != b;
```

№ 10

endcase

endmodule

<figure class="image"></figure>

На какой временной диаграмме показаны корректные результаты моделирования приведённого модуля?

module func(

input [1:0] a, b,

input [1:0] op,

output reg c

);

always @(\*)

case (op)

2'b00: c = a <= b;

2'b01: c = a != b;

2'b10: c = a >= b;

2'b11: c = a != b;

endcase

endmodule

<figure class="image"></figure>

#### ПСК-1.4

№ 1

*Вопросы открытого типа:*

Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:

$$y = x_0 \wedge x_1 \vee x_2 \wedge x_3 \vee x_4.$$

module testquestion(

input [4:0] x,

output y

);

//пользовательский код

endmodule

№ 2

Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:

$$y = \overline{x_0} \wedge x_1 \wedge x_2 \vee \overline{x_3 \wedge x_4}$$

module testquestion(

input [4:0] x,

|     |                                                                                                                                                                                                                                                                                                             |
|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     | <pre> output y ); //пользовательский код endmodule </pre>                                                                                                                                                                                                                                                   |
| № 3 | <p>Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:</p> $y = \overline{x_0} \wedge (x_1 \wedge \overline{x_2} \vee x_3 \wedge x_4)$ <pre> module testquestion(     input [4:0] x,     output y ); //пользовательский код endmodule </pre> |
| № 4 | <p>Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:</p> $y = x_0 \wedge \overline{(x_1 \wedge \overline{x_2} \vee x_3 \wedge x_4)}$ <pre> module testquestion(     input [4:0] x,     output y ); //пользовательский код endmodule </pre> |
| № 5 | <p>Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:</p> $y = x_0 \vee \overline{(x_1 \wedge \overline{x_2} \wedge x_3 \wedge x_4)}$ <pre> module testquestion(     input [4:0] x,     output y ); //пользовательский код endmodule </pre> |
| № 6 | <p>Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:</p>                                                                                                                                                                                   |

$$y = x_0 \wedge (x_1 \vee x_2 \vee x_3) \vee \overline{x_0} \wedge x_4$$

```
module testquestion(
```

```
 input [4:0] x,
```

```
 output y
```

```
);
```

```
//пользовательский код
```

```
endmodule
```

№ 7

Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:

$$y = x_0 \oplus x_2 \vee \overline{(x_1 \wedge x_3 \wedge x_4)}$$

```
module testquestion(
```

```
 input [4:0] x,
```

```
 output y
```

```
);
```

```
//пользовательский код
```

```
endmodule
```

№ 8

Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:

$$y = x_0 \oplus \overline{(x_1 \wedge x_2 \wedge x_3 \wedge x_4)}$$

```
module testquestion(
```

```
 input [4:0] x,
```

```
 output y
```

```
);
```

```
//пользовательский код
```

```
endmodule
```

№ 9

Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:

$$y = x_0 \oplus x_4 \vee \overline{(x_2 \oplus x_3)} \wedge x_1$$

```
module testquestion(
```

```
 input [4:0] x,
```

```
 output y
```

```
);
```

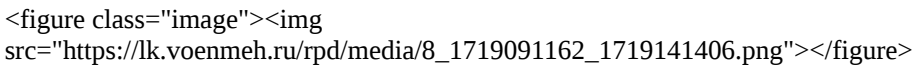
```
//пользовательский код
```

- № 10      endmodule  
Используя приведённый шаблон модуля, реализовать следующую логическую функцию с помощью непрерывного присваивания:

$$y = \overline{(x_0 \oplus x_4 \vee x_2 \oplus x_3)} \vee x_1$$

- module testquestion(  
    input [4:0] x,  
    output y  
);  
    //пользовательский код  
endmodule  
*Вопросы закрытого типа:*  
№ 1      На какой временной диаграмме показаны корректные результаты моделирования приведённого модуля?

```
module func(
input [1:0] a, b,
input [1:0] op,
output reg [1:0] c
);
always @(*)
case (op)
2'b00: c = a & b;
2'b01: c = a | b;
2'b10: c = a ^ b;
2'b11: c = ~a;
endcase
endmodule
```

- № 2        
На какой временной диаграмме показаны корректные результаты моделирования приведённого модуля?

```
module func(
input [1:0] a, b,
input [1:0] op,
output reg [1:0] c
);
always @(*)
case (op)
2'b00: c = a & b;
```

№ 3

```
2'b01: c = a | b;
```

```
2'b10: c = a ^ b;
```

```
2'b11: c = ~b;
```

```
endcase
```

```
endmodule
```

```
<figure class="image"></figure>
```

На какой временной диаграмме показаны корректные результаты моделирования приведённого модуля?

```
module func(
```

```
input [1:0] a, b,
```

```
input [1:0] op,
```

```
output reg [1:0] c
```

```
);
```

```
always @(*)
```

```
case (op)
```

```
2'b00: c = ~(a & b);
```

```
2'b01: c = ~(a | b);
```

```
2'b10: c = a ^ b;
```

```
default: c = ~a;
```

```
endcase
```

```
endmodule
```

```
<figure class="image"></figure>
```

№ 4

На какой временной диаграмме показаны корректные результаты моделирования приведённого модуля?

```
module func(
```

```
input [1:0] a, b,
```

```
input [1:0] op,
```

```
output reg [1:0] c
```

```
);
```

```
always @(*)
```

```
case (op)
```

```
2'b00: c = ~(a & b);
```

```
2'b01: c = ~(a | b);
```

```
2'b10: c = a ^ b;
```

```
default: c = ~b;
```

```
endcase
```

```
endmodule
```

№ 5

<figure class="image"></figure>  
На какой временной диаграмме показаны корректные результаты моделирования  
приведённого модуля?

```
module func(
 input [7:0] a, b,
 input [1:0] op,
 output reg [7:0] c
);
always @(*)
case (op)
 2'b00: c = a + b;
 2'b01: c = a - b;
 default: c = 7'd39;
endcase
endmodule
```

№ 6

<figure class="image"></figure>  
На какой временной диаграмме показаны корректные результаты моделирования  
приведённого модуля?

```
module func(
 input [7:0] a, b,
 input [1:0] op,
 output reg [7:0] c
);
always @(*)
case (op)
 2'b00: c = a * b;
 2'b01: c = a / b;
 2'b10: c = a % b;
 default: c = 7'd39;
endcase
endmodule
```

№ 7

<figure class="image"></figure>  
На какой временной диаграмме показаны корректные результаты моделирования  
приведённого модуля?

```
module func(
 input [7:0] a, b,
 input [1:0] op,
```

```
output reg [7:0] c
```

```
);
```

```
always @(*)
```

```
case (op)
```

```
2'b00: c = a * b;
```

```
2'b01: c = a % b;
```

```
2'b10: c = a + b;
```

```
2'b10: c = a - b;
```

```
endcase
```

```
endmodule
```

```
<figure class="image"></figure>
```

№ 8

На какой временной диаграмме показаны корректные результаты моделирования приведённого модуля?

```
module func(
```

```
input [7:0] a, b,
```

```
input [1:0] op,
```

```
output reg [7:0] c
```

```
);
```

```
always @(*)
```

```
case (op)
```

```
2'b00: c = 2 * a;
```

```
2'b01: c = 3 * a;
```

```
2'b10: c = 2 * b;
```

```
2'b11: c = 3 * b;
```

```
endcase
```

```
endmodule
```

```
<figure class="image"></figure>
```

№ 9

На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```
module fsm(input clk, nrst, input [1:0] x, output reg y);
```

```
parameter Q0 = 2'b00, Q1 = 2'b01, Q2 = 2'b10, Q3 = 2'b11;
```

```
reg [1:0] STATE;
```

```
always @(posedge clk or negedge nrst)
```

```
if (~nrst)
```

```
STATE <= Q0;
```

```
else
```

```
case (STATE)
```

```

Q0: if (x == 2'b01) STATE <= Q1;
Q1: if (x == 2'b01) STATE <= Q2;
Q2: if (x == 2'b01) STATE <= Q3;
Q3: if (x == 2'b01) STATE <= Q0;
endcase
always @(*)
case (STATE)
Q0: y <= x[0];
Q1: y <= x[1];
Q2: y <= x[0];
Q3: y <= x[1];
endcase
endmodule

```

№ 10

<figure class="image"></figure>  
На каком из рисунков приведен граф состояний, соответствующий конечному автомату,  
описание которого на языке Verilog приведено ниже?

```

module fsm(input clk, nrst, input [1:0] x, output reg y);
parameter Q0 = 2'b00, Q1 = 2'b01, Q2 = 2'b10, Q3 = 2'b11;
reg [1:0] STATE;
always @(posedge clk or negedge nrst)
if (~nrst)
STATE <= Q0;
else
case (STATE)
Q0: if (x != 2'b01) STATE <= Q1;
Q1: if (x != 2'b01) STATE <= Q2;
Q2: if (x != 2'b01) STATE <= Q3;
Q3: if (x != 2'b01) STATE <= Q0;
endcase
always @(*)
case (STATE)
Q0: y <= x[0];
Q1: y <= x[1];
Q2: y <= x[0];
Q3: y <= x[1];
endcase

```

endmodule

<figure class="image"></figure>

**ПСК-1.5**

*Вопросы открытого типа:*

№ 1

Используя приведённый шаблон модуля, реализовать с помощью тернарного оператора двухвходовой однобитный мультиплексор. Когда адресный вход sel=0, к выходу должен быть подключён вход d0, в противном случае – d1.

```
module testquestion(
 input d0, d1, sel,
 output y
);
```

//пользовательский код

endmodule

№ 2

Используя приведённый шаблон модуля, реализовать с помощью оператора выбора if/else двухвходовой однобитный мультиплексор. Когда адресный вход sel=0, к выходу должен быть подключён вход d0, в противном случае – d1.

```
module testquestion(
 input d0, d1, sel,
 output reg y
);
```

//пользовательский код

endmodule

№ 3

Используя приведённый шаблон модуля, реализовать с помощью оператора множественного выбора двухвходовой однобитный мультиплексор. Когда адресный вход sel=0, к выходу должен быть подключён вход d0, в противном случае – d1.

```
module testquestion(
 input d0, d1, sel,
 output reg y
);
```

//пользовательский код

endmodule

№ 4

Используя приведённый шаблон модуля, реализовать с помощью оператора множественного выбора трёхвходовой однобитный мультиплексор. Когда адресный вход sel=0, к выходу должен быть подключён вход d0, sel=1 – d1 и так далее. Значение по умолчанию должно быть равно 0.

```
module testquestion(
 input d0, d1, d2,
 input [1:0] sel,
 output reg y
);
```

//пользовательский код

endmodule

№ 5

Используя приведённый шаблон модуля, реализовать с помощью оператора

множественного выбора четырёхходовой однобитный мультиплексор. Когда адресный вход sel=0, к выходу должен быть подключён вход d0, sel=1 – d1 и так далее.

```
module testquestion(
 input d0, d1, d2, d3,
 input [1:0] sel,
 output reg y
);
//пользовательский код
endmodule
```

№ 6 Используя приведённый шаблон модуля, реализовать с помощью оператора множественного выбора четырёхвыходной однобитный демультиплексор. Когда адресный вход sel=0, вход x должен быть подключён к выходу y0, когда sel=1 вход подключается к выходу y1 и так далее. На неиспользованных выходах должно быть установлено значение 0.

```
module testquestion(
 input [1:0] sel,
 input x,
 output reg y0, y1, y2, y3
);
//пользовательский код
endmodule
```

№ 7 Используя приведённый шаблон модуля, реализовать с помощью оператора множественного выбора трёхвыходной однобитный демультиплексор. Когда адресный вход sel=0, вход x должен быть подключён к выходу y0, когда sel=1 вход подключается к выходу y1 и так далее. На неиспользованных выходах должно быть установлено значение 0. Значение всех выходов по умолчанию должно быть равно 0.

```
module testquestion(
 input [1:0] sel,
 input x,
 output reg y0, y1, y2
);
//пользовательский код
endmodule
```

№ 8 Используя приведённый шаблон модуля, реализовать с помощью оператора выбора if/else двухвыходной однобитный демультиплексор. Когда адресный вход sel=0, вход x должен быть подключён к выходу y0, в противном случае вход подключается к выходу y1. На неиспользованных выходах должно быть установлено значение 0.

```
module testquestion(
 input sel, x,
 output reg y0, y1
);
//пользовательский код
endmodule
```

№ 9	<p>Используя приведённый шаблон модуля, реализовать с помощью оператора множественного выбора дешифратор, формирующий их входного двухразрядного кода выходной унарный четырёхразрядный код.</p> <pre> module testquestion(     input [1:0] x,     output reg [3:0] y ); //пользовательский код  endmodule </pre>
№ 10	<p>Используя приведённый шаблон модуля, реализовать с помощью оператора битового сдвига дешифратор, формирующий их входного двухразрядного кода выходной унарный четырёхразрядный код.</p> <pre> module testquestion(     input [1:0] x,     output [3:0] y ); //пользовательский код  endmodule </pre>
№ 1	<p><i>Вопросы закрытого типа:</i></p> <p>На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?</p> <pre> module fsm(input clk, nrst, input [1:0] x, output reg y);  parameter Q0 = 2'b00, Q1 = 2'b01, Q2 = 2'b10, Q3 = 2'b11;  reg [1:0] STATE;  always @(posedge clk or negedge nrst) if (~nrst) STATE &lt;= Q0; else case (STATE) Q0: begin if (x == 2'b01) STATE &lt;= Q1; if (x == 2'b10) STATE &lt;= Q3; end Q1: begin if (x == 2'b01) STATE &lt;= Q2; if (x == 2'b10) STATE &lt;= Q0; end Q2: begin if (x == 2'b01) STATE &lt;= Q3; if (x == 2'b10) STATE &lt;= Q1; end Q3: begin if (x == 2'b01) STATE &lt;= Q0; if (x == 2'b10) STATE &lt;= Q2; end endcase  always @(*) case (STATE) Q0: y &lt;= x[0]; Q1: y &lt;= x[1]; Q2: y &lt;= x[0]; Q3: y &lt;= x[1]; </pre>

№ 2

endcase

endmodule

<figure class="image"></figure>

На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```
module fsm(input clk, nrst, input [1:0] x, output reg y);
```

```
parameter Q0 = 2'b00, Q1 = 2'b01, Q2 = 2'b10, Q3 = 2'b11;
```

```
reg [1:0] STATE;
```

```
always @(posedge clk or negedge nrst)
```

```
if (~nrst)
```

```
STATE <= Q0;
```

```
else
```

```
case (STATE)
```

```
Q0: if (x == 2'b01) STATE <= Q1;
```

```
Q1: begin if (x == 2'b01) STATE <= Q2; if (x == 2'b00) STATE <= Q0; end
```

```
Q2: begin if (x == 2'b01) STATE <= Q3; if (x == 2'b00) STATE <= Q0; end
```

```
Q3: if (x == 2'b01 | x == 2'b00) STATE <= Q0;
```

```
endcase
```

```
always @(*)
```

```
case (STATE)
```

```
Q0: y <= x[0];
```

```
Q1: y <= x[1];
```

```
Q2: y <= x[0];
```

```
Q3: y <= x[1];
```

```
endcase
```

```
endmodule
```

<figure class="image"></figure>

№ 3

На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```
module fsm(input clk, nrst, input [1:0] x, output reg y);
```

```
parameter Q0 = 2'b00, Q1 = 2'b01, Q2 = 2'b10;
```

```
reg [1:0] STATE;
```

```
always @(posedge clk or negedge nrst)
```

```
if (~nrst)
```

```
STATE <= Q0;
```

```
else
```

```
case (STATE)
```

```

Q0: if (x == 2'b01) STATE <= Q1;
Q1: if (x == 2'b01) STATE <= Q2;
Q2: if (x == 2'b01) STATE <= Q0;

endcase

always @(*)

case (STATE)

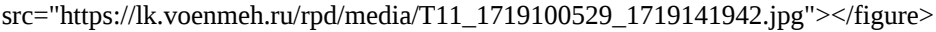
Q0: y <= x[0];
Q1: y <= x[1];
Q2: y <= x[0];

endcase

endmodule

```

№ 4

  
На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```

module fsm(input clk, nrst, input [1:0] x, output reg y);

parameter Q0 = 2'b00, Q1 = 2'b01, Q2 = 2'b10;

reg [1:0] STATE;

always @(posedge clk or negedge nrst)

if (~nrst)

STATE <= Q0;

else

case (STATE)

Q0: begin if (x == 2'b01) STATE <= Q1; if (x == 2'b10) STATE <= Q2; end
Q1: begin if (x == 2'b01) STATE <= Q2; if (x == 2'b10) STATE <= Q0; end
Q2: begin if (x == 2'b01) STATE <= Q0; if (x == 2'b10) STATE <= Q1; end

endcase

always @(*)

case (STATE)

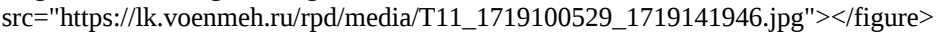
Q0: y <= x[0];
Q1: y <= x[1];
Q2: y <= x[0];

endcase

endmodule

```

№ 5

  
На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```

module fsm(input clk, nrst, input [1:0] x, output reg y);

```

```

parameter Q0 = 2'b00, Q1 = 2'b01, Q2 = 2'b10;

reg [1:0] STATE;

always @(posedge clk or negedge nrst)

if (~nrst)

 STATE <= Q0;

else

 case (STATE)

 Q0: begin if (x == 2'b01) STATE <= Q1; if (x == 2'b10) STATE <= Q2; end

 Q1: begin if (x == 2'b01) STATE <= Q2; if (x == 2'b00) STATE <= Q0; end

 Q2: if (x == 2'b00) STATE <= Q0;

 endcase

always @(*)

case (STATE)

 Q0: y <= x[0];

 Q1: y <= x[1];

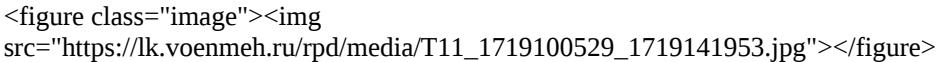
 Q2: y <= x[0];

endcase

endmodule

```

№ 6


 На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```

module fsm(input clk, nrst, input [1:0] x, output reg y);

parameter Q0 = 2'b00, Q1 = 2'b01, Q2 = 2'b10;

reg [1:0] STATE;

always @(posedge clk or negedge nrst)

if (~nrst)

 STATE <= Q0;

else

 case (STATE)

 Q0: begin if (x == 2'b01) STATE <= Q1; if (x == 2'b10) STATE <= Q2; end

 Q1: if (x == 2'b01) STATE <= Q2;

 Q2: if (x == 2'b00) STATE <= Q0;

 endcase

always @(*)

case (STATE)

 Q0: y <= x[0];

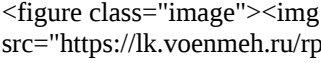
```

№ 7

```
Q1: y <= x[1];
Q2: y <= x[0];

endcase

endmodule
```

 На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```
module fsm(input clk, nrst, input [1:0] x, output reg y);

parameter Q0 = 3'b000, Q1 = 3'b001, Q2 = 3'b010, Q3 = 3'b011, Q4 = 3'b100;

reg [2:0] STATE;

always @(posedge clk or negedge nrst)

if (~nrst)

STATE <= Q0;

else

case (STATE)

Q0: if (x == 2'b01) STATE <= Q1;

Q1: if (x == 2'b01) STATE <= Q2;

Q2: begin if (x == 2'b01) STATE <= Q3; if (x == 2'b11) STATE <= Q4; end

Q3: if (x == 2'b01) STATE <= Q0;

Q4: STATE <= Q0;

endcase

always @(*)

case (STATE)

Q0: y <= x[0];

Q1: y <= x[1];

Q2: y <= x[0];

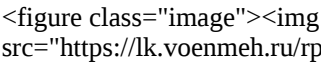
Q3: y <= x[1];

Q4: y <= x[0];

endcase

endmodule
```

№ 8

 На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```
module fsm(input clk, nrst, input [1:0] x, output reg y);

parameter Q0 = 3'b000, Q1 = 3'b001, Q2 = 3'b010, Q3 = 3'b011, Q4 = 3'b100;

reg [2:0] STATE;

always @(posedge clk or negedge nrst)
```

```

if (~nrst)
 STATE <= Q0;
else
 case (STATE)
 Q0: if (x == 2'b01) STATE <= Q1;
 Q1: begin if (x == 2'b01) STATE <= Q2; if (x == 2'b11) STATE <= Q4; end
 Q2: if (x == 2'b01) STATE <= Q3;
 Q3: if (x == 2'b01) STATE <= Q0;
 Q4: STATE <= Q0;
 endcase
always @(*)
 case (STATE)
 Q0: y <= x[0];
 Q1: y <= x[1];
 Q2: y <= x[0];
 Q3: y <= x[1];
 Q4: y <= x[0];
 endcase
endmodule

```

№ 9

<figure class="image"></figure>

На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```

module fsm(input clk, nrst, input [1:0] x, output reg y);
 parameter Q0 = 3'b000, Q1 = 3'b001, Q2 = 3'b010, Q3 = 3'b011, Q4 = 3'b100;
 reg [2:0] STATE;
 always @(posedge clk or negedge nrst)
 if (~nrst)
 STATE <= Q0;
 else
 case (STATE)
 Q0: if (x == 2'b01) STATE <= Q1;
 Q1: begin if (x == 2'b01) STATE <= Q2; if (x == 2'b11) STATE <= Q4; end
 Q2: begin if (x == 2'b01) STATE <= Q3; if (x == 2'b11) STATE <= Q4; end
 Q3: begin if (x == 2'b01) STATE <= Q0; if (x == 2'b11) STATE <= Q4; end
 Q4: STATE <= Q0;
 endcase
endmodule

```

№ 10

```
always @(*)
case (STATE)
 Q0: y <= x[0];
 Q1: y <= x[1];
 Q2: y <= x[0];
 Q3: y <= x[1];
 Q4: y <= x[0];
endcase
endmodule
```

<figure class="image"></figure>

На каком из рисунков приведен граф состояний, соответствующий конечному автомату, описание которого на языке Verilog приведено ниже?

```
module fsm(input clk, nrst, input [1:0] x, output reg y);
parameter Q0 = 3'b000, Q1 = 3'b001, Q2 = 3'b010, Q3 = 3'b011, Q4 = 3'b100;
reg [2:0] STATE;
always @(posedge clk or negedge nrst)
if (~nrst)
 STATE <= Q0;
else
 case (STATE)
 Q0: if (x == 2'b01) STATE <= Q1;
 Q1: begin if (x == 2'b01) STATE <= Q2; if (x == 2'b11) STATE <= Q4; end
 Q2: begin if (x == 2'b01) STATE <= Q3; if (x == 2'b11) STATE <= Q4; end
 Q3: begin if (x == 2'b01) STATE <= Q0; if (x == 2'b11) STATE <= Q4; end
 Q4: if (x == 2'b11) STATE <= Q0;
 endcase
always @(*)
case (STATE)
 Q0: y <= x[0];
 Q1: y <= x[1];
 Q2: y <= x[0];
 Q3: y <= x[1];
 Q4: y <= x[0];
endcase
endmodule
```

<figure class="image"></figure>

*Вопросы открытого типа:*

- № 1 Используя приведённый шаблон модуля, реализовать D-триггер. Синхронизация должна осуществляться по фронту тактового сигнала clk.
- ```

module testquestion(
    input d, clk,
    output reg y
);
//пользовательский код

endmodule

```
- № 2 Используя приведённый шаблон модуля, реализовать D-триггер. Синхронизация должна осуществляться по срезу тактового сигнала clk.
- ```

module testquestion(
 input d, clk,
 output reg y
);
//пользовательский код

endmodule

```
- № 3 Используя приведённый шаблон модуля, реализовать D-триггер с синхронным сбросом. Синхронизация должна осуществляться по фронту тактового сигнала clk. Если в момент фронта тактового сигнала nrst = 0, то в триггер необходимо записать значение 0.
- ```

module testquestion(
    input d, clk, nrst,
    output reg y
);
//пользовательский код

endmodule

```
- № 4 Используя приведённый шаблон модуля, реализовать D-триггер с синхронным сбросом. Синхронизация должна осуществляться по срезу тактового сигнала clk. Если в момент среза тактового сигнала nrst = 0, то в триггер необходимо записать значение 0.
- ```

module testquestion(
 input d, clk, nrst,
 output reg y
);
//пользовательский код

endmodule

```
- № 5 Используя приведённый шаблон модуля, реализовать D-триггер с асинхронным сбросом. Синхронизация должна осуществляться по фронту тактового сигнала clk. При срезе сигнала nrst в триггер необходимо записать значение 0.
- ```

module testquestion(
    input d, clk, nrst,
    output reg y

```

| | |
|------|--|
| |);

//пользовательский код

endmodule |
| № 6 | Используя приведённый шаблон модуля, реализовать D-триггер с асинхронным сбросом. Синхронизация должна осуществляться по фронту тактового сигнала clk. При срезе сигнала nrst в триггер необходимо записать значение 0.

module testquestion(

input d, clk, nrst,

output reg y

);

//пользовательский код

endmodule |
| № 7 | Используя приведённый шаблон модуля, реализовать счётный Т-триггер. Изменение значения триггера должно осуществляться по фронту тактового сигнала clk.

module testquestion(

input clk,

output reg y

);

//пользовательский код

endmodule |
| № 8 | Используя приведённый шаблон модуля, реализовать счётный Т-триггер. Изменение значения триггера должно осуществляться по срезу тактового сигнала clk.

module testquestion(

input clk,

output reg y

);

//пользовательский код

endmodule |
| № 9 | Используя приведённый шаблон модуля, реализовать счётный Т-триггер с асинхронным сбросом. Изменение значения триггера должно осуществляться по фронту тактового сигнала clk, а при срезе сигнала nrst в триггер необходимо записать значение 0.

module testquestion(

input clk, nrst,

output reg y

);

//пользовательский код

endmodule |
| № 10 | Используя приведённый шаблон модуля, реализовать счётный Т-триггер с асинхронным сбросом. Изменение значения триггера должно осуществляться по срезу тактового сигнала clk, а при срезе сигнала nrst в триггер необходимо записать значение 0.

module testquestion(

input clk, nrst, |

| | |
|-----|--|
| | <pre> output reg y); //пользовательский код endmodule </pre> |
| № 1 | <p><i>Вопросы закрытого типа:</i></p> <p>Какой логической функции эквивалентен приведённый примитив?</p> <pre> primitive block(output q, input a, b, c); table 1 1 1 : 1; ? ? ? : 0; endtable endprimitive </pre> <p>А. И</p> <p>Б. И-НЕ</p> <p>В. ИЛИ</p> <p>Г. ИЛИ-НЕ</p> |
| № 2 | <p>Какой логической функции эквивалентен приведённый примитив?</p> <pre> primitive block(output q, input a, b, c); table 1 1 1 : 0; 0 ? ? : 1; ? 0 ? : 1; ? ? 0 : 1; endtable endprimitive </pre> <p>А. И</p> <p>Б. И-НЕ</p> <p>В. ИЛИ</p> <p>Г. ИЛИ-НЕ</p> |
| № 3 | <p>Какой логической функции эквивалентен приведённый примитив?</p> <pre> primitive block(output q, input a, b, c); table </pre> |

```

0 0 0 : 0;
1 ? ? : 1;
? 1 ? : 1;
? ? 1 : 1;

endtable

endprimitive

```

А. И

Б. И-НЕ

В. ИЛИ

Г. ИЛИ-НЕ

№ 4

Какой логической функции эквивалентен приведённый примитив?

```

primitive block(
output q,
input a, b, c);
table
0 0 0 : 1;
1 ? ? : 0;
? 1 ? : 0;
? ? 1 : 0;

endtable

endprimitive

```

А. И

Б. И-НЕ

В. ИЛИ

Г. ИЛИ-НЕ

№ 5

Какому блоку эквивалентен приведённый примитив?

```

primitive block(
output q,
input a, b, c);
table
1 1 1 : 1;
1 0 0 : 1;
0 1 0 : 1;
0 0 1 : 1;
? ? ? : 0;

endtable

endprimitive

```

| | |
|-----|--|
| № 6 | А. Исключающие ИЛИ |
| | Б. Исключающие ИЛИ-НЕ |
| | В. Мажоритарный оператор |
| | Г. Мультиплексор |
| № 7 | Какому блоку эквивалентен приведённый примитив? |
| | <pre> primitive block(output q, input a, b, c); table 1 1 1 : 0; 1 0 0 : 0; 0 1 0 : 0; 0 0 1 : 0; ? ? ? : 1; endtable endprimitive </pre> |
| | А. Исключающие ИЛИ |
| | Б. Исключающие ИЛИ-НЕ |
| | В. Мажоритарный оператор |
| | Г. Мультиплексор |
| № 8 | Какому блоку эквивалентен приведённый примитив? |
| | <pre> primitive block(output q, input a, b, c); table 1 1 ? : 1; 1 ? 1 : 1; ? 1 1 : 1; ? ? ? : 0; endtable endprimitive </pre> |
| | А. Исключающие ИЛИ |
| | Б. Исключающие ИЛИ-НЕ |
| | В. Мажоритарный оператор |
| | Г. Мультиплексор |

```

output q,
input a, b, c);
table
0 0 ? : 0;
0 1 ? : 1;
1 ? 0 : 0;
1 ? 1 : 1;
endtable
endprimitive

```

А. Исключающие ИЛИ

Б. Исключающие ИЛИ-НЕ

В. Мажоритарный оператор

Г. Мультиплексор

№ 9 Какой встроенный примитив языка Verilog эквивалентен логической функции исключающие ИЛИ?

А. xor

Б. nor

В. xnor

Г. and

№ 10 Какой встроенный примитив языка Verilog эквивалентен логической функции исключающие ИЛИ-НЕ?

А. xor

Б. nor

В. xnor

Г. and